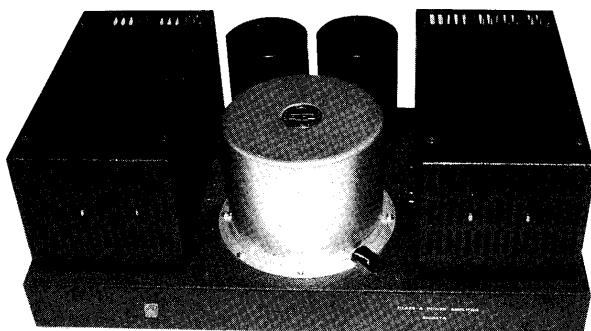


A 級 100W 終段無帰還

# 1 段増幅パワーアンプの製作

柴田由喜雄

Shibata Yukio



恒例の自作アンプコンテストの常連である柴田氏の作品は、1段増幅回路を採用したユニークでしかも高性能な回路、さらに音がよいことで高く評価されている。なによりも、審査員やテストソースが変化してもブラインドテストで毎回常に上位に評価されるという事実が氏のアンプの質の高さを物語っている。

今回ご紹介するのは、4月に行なわれた第7回コンテスト関西大会にゲスト参加されたパワーアンプである。出力段は従来のMOS-FETではなく、バイポーラTr5パラでA級100W、さらに出力段からのオーバーオールNFBを止めた終段無帰還構成としている。

## 1. はじめに

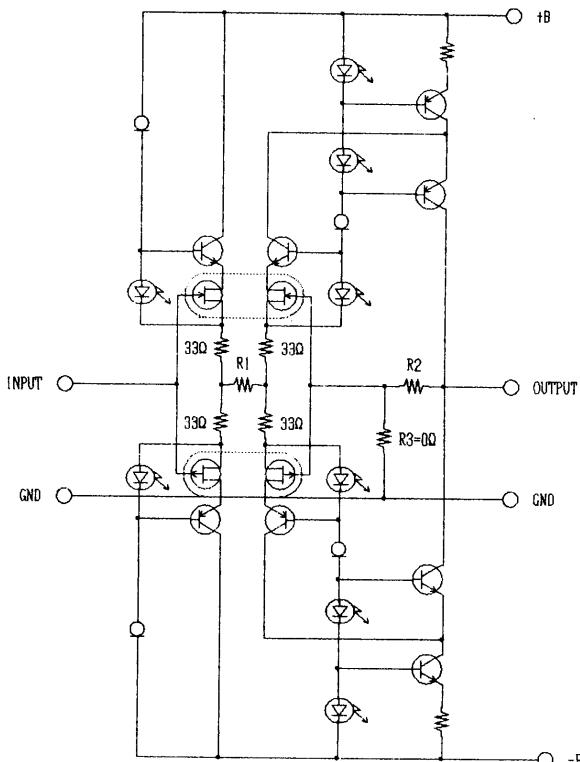
このパワーアンプは、1段増幅パワーアンプの総仕上げとして、'92年に製作に取りかかり、昨年完成したものです。

製作開始から2年もかかってしまったのは、単にこれまでの1段増幅アンプのパワーアップではおもしろくない、すこしでも回路的にオリジナルな部分を新たに入れようと試行錯誤しながら眠らせていました。

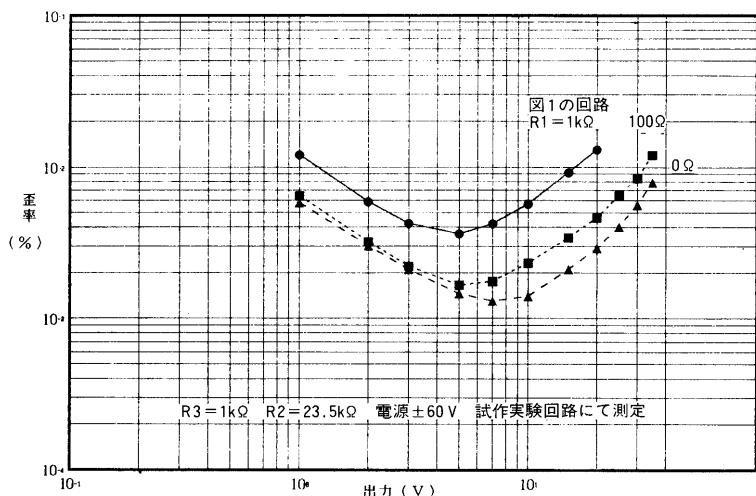
アイデアとして、初段をFETソースフォロワー+FETゲート接地とした、一見“0段増幅アンプ”(図1)を考えていきました。図で $R_1$ に大きな値を選べば、DC裸ゲイン $A$ は、

$$A \approx R_2 / R_1$$

となるので、FETなどの品種によらず抵抗のみでゲインが決まることがあります。マクロ的にみれ



[図1] アイデア回路



[図2] 図1の回路の歪み率特性

ば、FETソースフォロワーの電力増幅によって、終段ドライブに必要な電流を稼ぐのです。

ところが、いろいろ検討したのですが、ノイズと歪みが増加する傾向(図2)に納得がゆかず、今回は断念の形となりました。本機最終回路では、 $R_1 = 0$ とし、結果的にみると、上下対称のよくありそうな回路に落ち着きました。

## 2. 静寂は必要十分条件

A級100Wともなると発熱量も

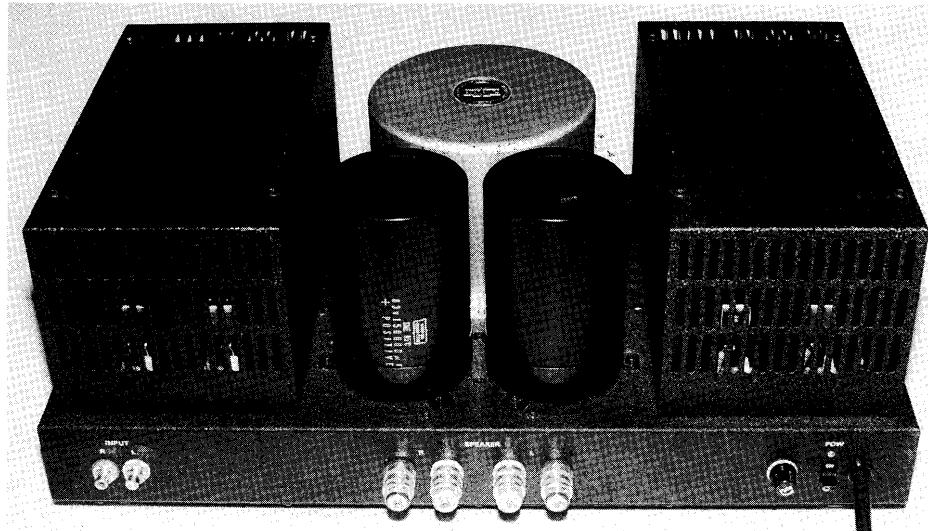
相当なものになります。電源電圧±52V、アイドリング電流2.5Aですので、両チャンネルで當時500W以上の発熱があります。

7年程前に、一度A級100Wパワーアンプを製作したことがあります。空冷ファンを2基底板に装着したのですが、ファンの乱騒音が小さくならず苦慮した経緯があります。ファンの回転数を下げるために230V仕様に100Vを加え、さらに抵抗をシリーズに入れたのです。しかし、ベアリングの

摩擦力に打ち勝つ起動トルクが出ず、電源ON時にリレーで強制的に回すという危なっかしい方法をとらざるを得ませんでした(回転数制御という手もありますが、オーディオによくありません)。

そういう反省を踏まえ、本機では、もう一度原点に戻り、必要量の放熱器に必要数のパワーTrを取り付けることにしました。熱抵抗の計算は省略しますが、本機に用いた放熱器TF1314-A2は概略1枚でA級15~20Wの出力が見込めますので、100Wでは片ch 5枚、Trは5パラとなります。

なお、以前のA級60Wパワーアンプの製作記事では言及しませんでしたが、もう一つ騒音で重要なことがあります。それはトランジスタのうなりです。前作の60Wアンプで使用したトランジスタは、定格近くの電流を流すと、うなりが出ました。もともとは電磁振動が原因なのですが、上下の化粧カバー(板金プレス)の共鳴がうなりを増幅しており、私は内部にダンピング材としてシリコンゴムを注入して対処していました。本機に用いたタムラPR7910Sも実は心配して



[写真1] 入出力端子、電源スイッチなどはすべて背面にまとめた

いたのですが、このトランジスタは樹脂充填が良く、うなりは極めて低いレベルに抑えられており、対策は不要でした。

### 3. よくありそうな初段の構成

本機の全回路図を図3に示します。ポイントとなるいくつかを説明します。

まず、初段に1チップデュアルFET 2SK389/2SJ109を用いました。このFETは現在入手できる唯一のコンプリ1チップデュアルFETです。 $g_m$ は2SK245よ

りわずかに大きく、2SK146/2SJ73の半分程度（同一 $I_D$ にて）です。1段増幅アンプに使うには丁度手頃な $g_m$ の大きさです。私の入手したものは $I_{DSS}$ が実測10mA/11mA ( $V_{DS}=10V$ )とコンプリがやや揃っていなかったのですが特別問題はありません。

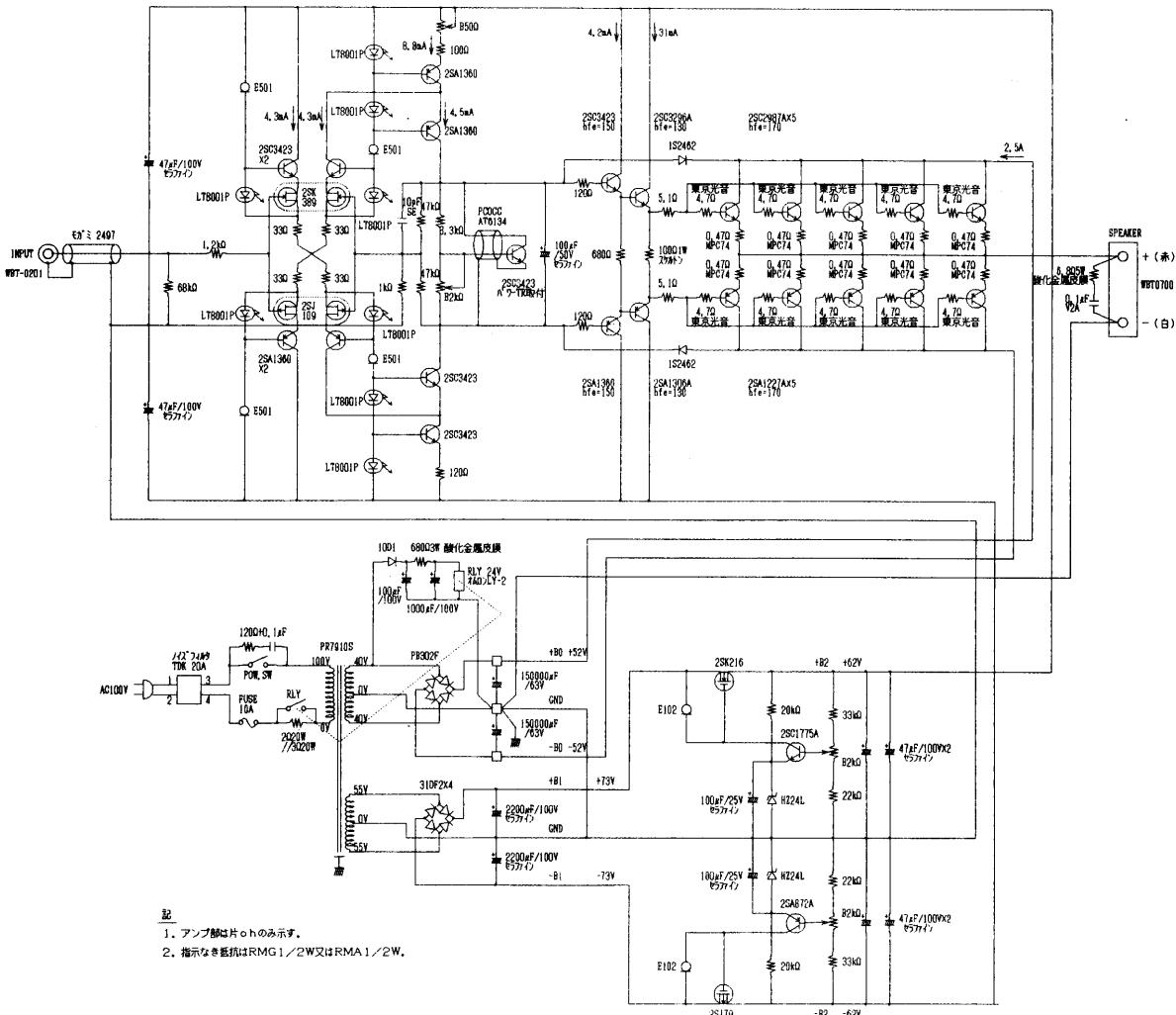
初段のコンプリFETの接続方法には若干の工夫を加えています。前述のように、本機の回路はFETソースフォロワー+FETゲート接地回路から端を発しているのですが、結果的には図4のようなFETソース同士の接続方法の

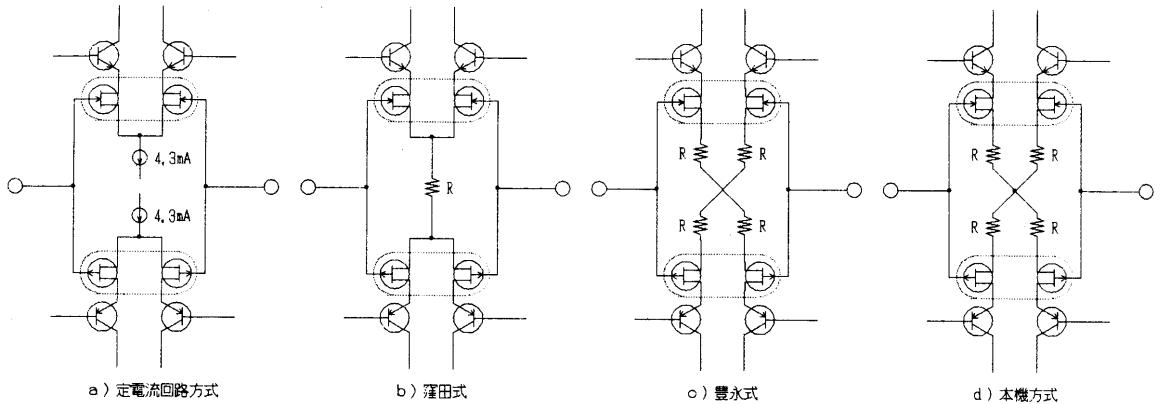
違いとして比較されます。a) 定電流回路式、b) 窪田式、c) 豊永式（と呼ばせて頂きます）。d) 本機方式、という分類です。

b) は回路がシンプルになるメリットがあります。FETの $g_m$ の大きさ（裸ゲイン）を維持しつつ、抵抗 $R$ を大きくすれば（ $I_{DSS}$ の大きいFETを用いれば）、 $R$ が定電流化の作用を持ってくるので、a) の普通の差動アンプに近い動作になります。

c) はソースに電流帰還のかかったソース接地動作、つまり、実質の $g_m$ を下げて、 $I_D$ を交差した

[図3] 全回路図





【図4】 初段の回路構成

コンプリのドレインから取り出す動作になります。

d) はソースに電流帰還をかけた状態で4つのソースを結合しているので、実質の $g_m$ を下げた状態で、d) の動作に近くなります。従って、過大な裸ゲインを抑えながらb) の動作（あるいはシンプルさ）を期待したい場合にd) が適しています。入力側コンプリの $I_D$ を有効に使えば（例えば平衡動作）更に良いものになるでしょう。

当然ですが、 $I_{DSS}$ を動作点にすれば $R=0$ であり、b) ~d) は同一になります。なお、本機の定数では歪み率特性上はそれほど顕著な違いはありません（図5）。

1段増幅の動作について簡単に説明しておきましょう。入力電圧 $V_i$ は初段FETで上下のコンプリのドレイン電流 $i_{DN}$ ,  $i_{DP}$ に変えられます。

$$i_{DN} = g_m' \cdot (V_i / 2)$$

$$i_{DP} = g_m' \cdot (V_i / 2)$$

$g_m'$ =初段FET相互コンダクタンス

$$= g_m / (1 + g_m \cdot R)$$

これらの電流はそれぞれ上下コンプリの定電流回路で反転され、それらを合成してドライブ電流 $i_D$ となります。

$$i_D = i_{DN} + i_{DP}$$

$$= g_m' \cdot V_i$$

$i_D$ はドライブ段の負荷抵抗（NFB抵抗） $r_o \approx 47k\Omega / 2 + 1k\Omega$ によって出力電圧 $V_o$ に変換されます。

$$V_o = i_D \cdot r_o$$

$$= g_m' \cdot r_o \cdot V_i$$

従って、本機のDC裸ゲイン $A_{DC}$ は、

$$A_{DC} = V_o / V_i$$

$$= g_m' \cdot r_o$$

となり、FET 1 石のアンプと見なせる、1段増幅アンプの動作になります。例えば $g_m = 15mS$  ( $I_D = 4mA$ ) とすれば、 $g_m' = 10mS$ 、よって $A_{DC} = 236$ 倍=47dBと概略計算されます。本機のオープンループゲイン実測結果を図6に示します。DC裸ゲインは49dBです。仕上がりゲインが26dBですので23dBのNFBがかかっています。

初段の定電流回路にはLEDを使っています。最近のMJの記事（ラックスアンプ）によれば、LEDは高周波ノイズを出すと書かれていました。しかし、混変調に影響するレベルではないし、影響するとすればP-N接合の整流作用ぐらいでしょうか（?）。いずれにせよ、本機のように0.5mA程度の低電流で使う限りでは、ことさら云々するレベルでもない

と思います。もしその電波暗室レベルのノイズが問題であれば、CDに代表される（極めて大量のノイズを発生させる）デジタルオーディオ機器の存在を否定することにもなるかも知れません。ノイズ発生諸要因の相対的なバランスが重要です。

終段電力增幅部はTr 3段ダーリントン接続とし、ドライブ段の負荷（非線形要素）を軽減させています。終段はA級ですので、小出力時のクロスオーバー歪みも無く、リニアリティは極めて良く、歪み率もそれほど気になるような大きさではありません。それ故、音質判断から終段無帰還としています。

電源部は、パワ一段供給にトロイダル PR7910S (40V×2, 12.5A) ~PB302F~電源ケミコン150,000μF×2 (日ケミSME), またドライブ段供給に31DF2~2,200μF×2 (セラファイン) ~MOS-FET&Tr レギュレーターとしています。太い配線を心がけ、強力かつシンプル回路を前提に設計しました。PR7910Sは電源ON時のラッシュカレントが極めて大きく、大容量ケミコンの使用も相まって、10Aのフェーズが一瞬にして飛んで

しまうので、抵抗+遅延リレー(約0.5秒)で電源ON時の電流を制限しました。ケミコンの寿命面でも好影響となるでしょう。

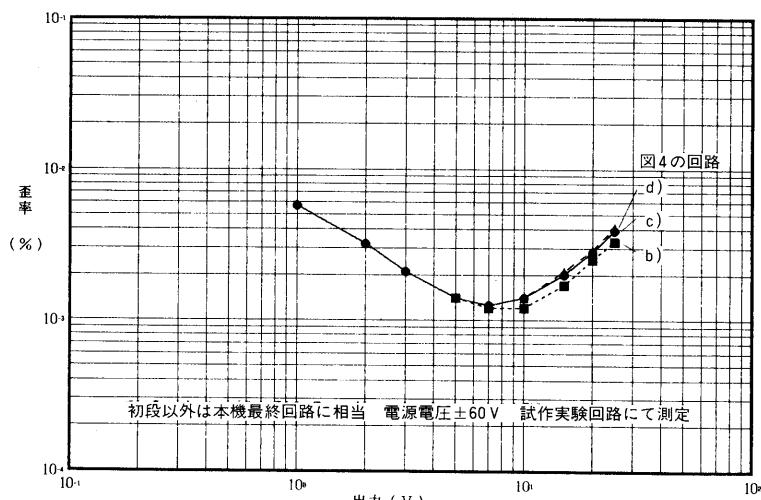
#### 4. 準モノーラル構成の配線

言うまでもないことですが、シャシー内の配線が最終的な特性を左右します。特に本機のように比較的大型のアンプでは配線が長くなりがちですので注意が必要です。本機の基本的な信号の流れと電源供給ラインのレイアウトを図7に示します。

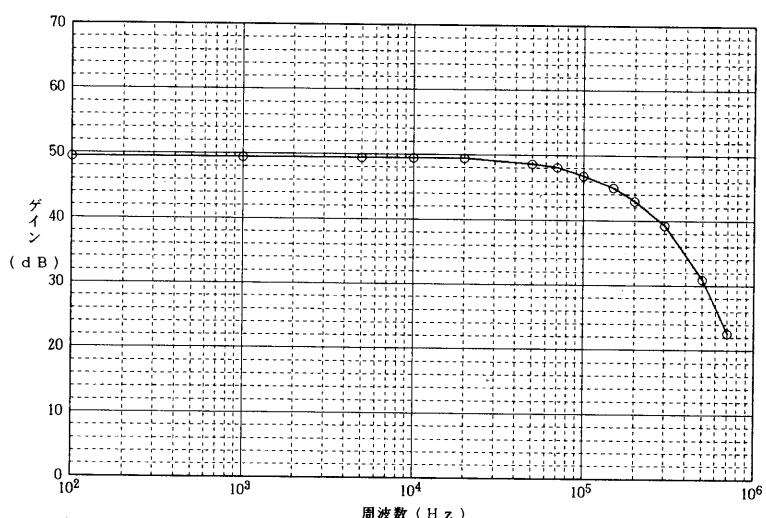
レイアウトは人によって考え方や異なるのでしょうか、私の手順は次のようなものです。

最初に決めたのはスピーカー出力端子(WBT 0700)です。出力には大電流が流れるので、太く短くすべきです。そして、ステレオ構成となると左右の線の長さを揃える必要があります。必然的にシャシー背面のセンターに出力端子の配置が決まります。

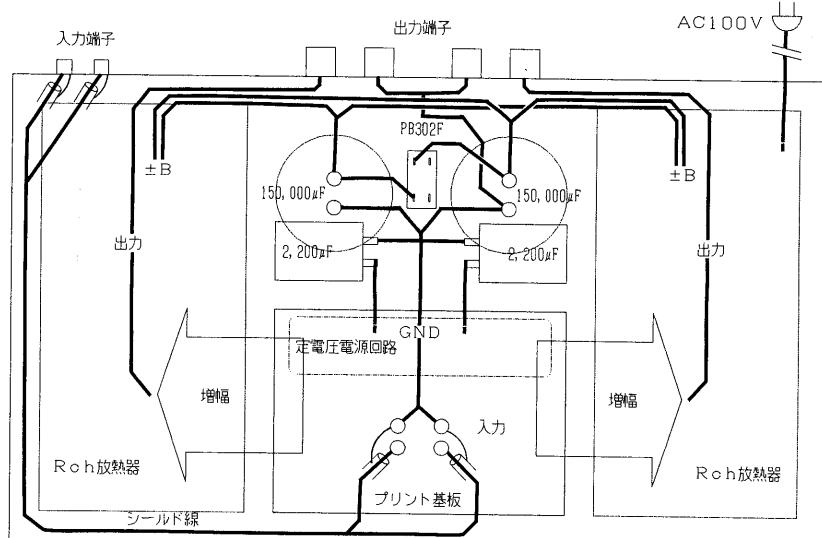
出力大電流が電圧増幅段に影響を及ぼさないように、ケミコン～±B～出力Tr～出力端子



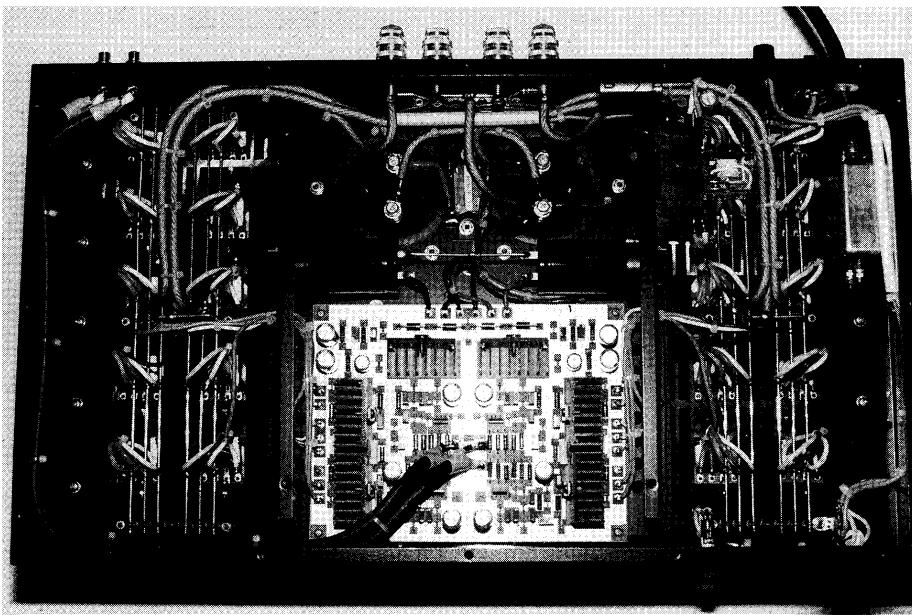
[図5] 図4の回路の歪み率特性



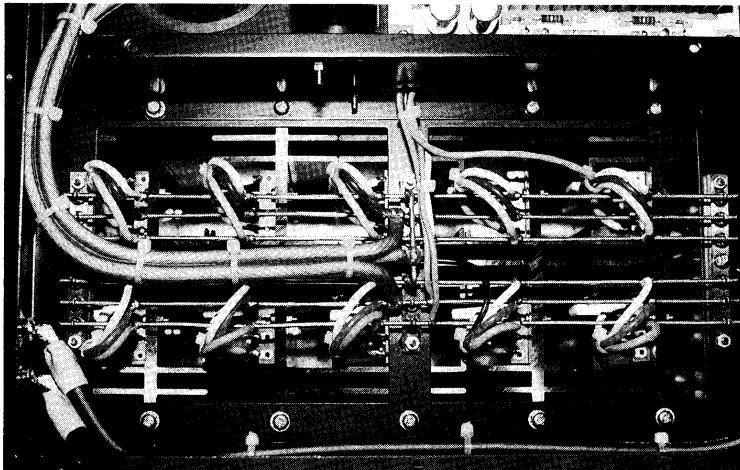
[図6] 図4の回路のオープンループ特性



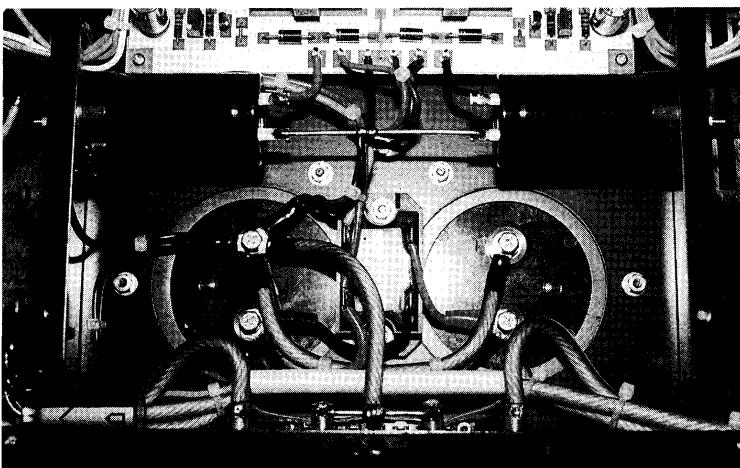
[図7] シャシー内主要配線



[写真2] 配線は出来るだけモノーラル構成的している



[写真3] 5パラ出力段の配線



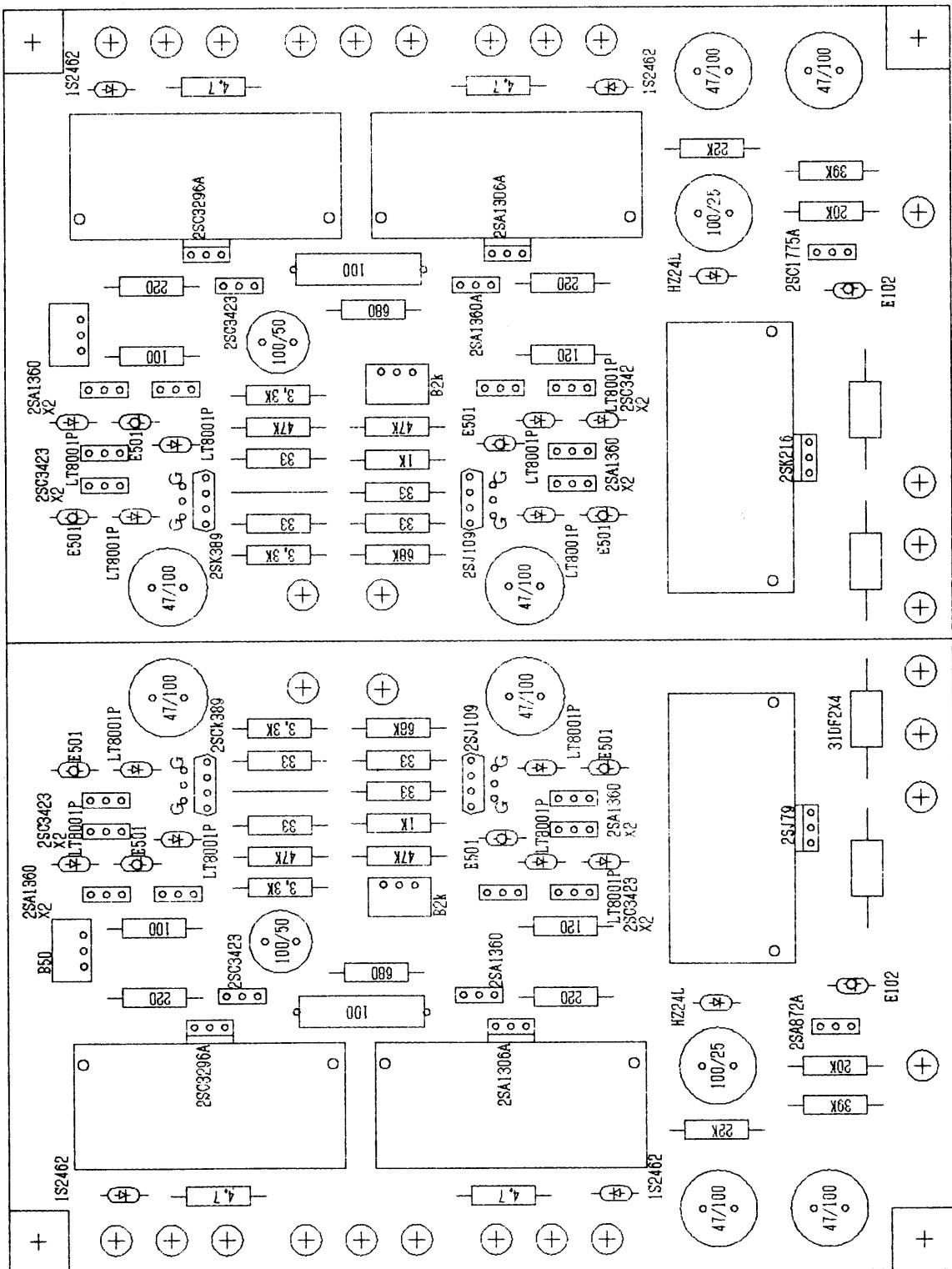
[写真4] 電源の平滑コンデンサー周辺

～GND がつくる大電流回路のループを最小とさせるよう配置します。よって、出力用大容量電源ケミコンを出力端子のそばに配置します。さらに、ケミコン充電の際に発生するスパイクノイズの放射を防ぐために、そのケミコンのすぐそばに整流用ダイオードを配置し、トランジスター～ケミコンの配線を最短にします。

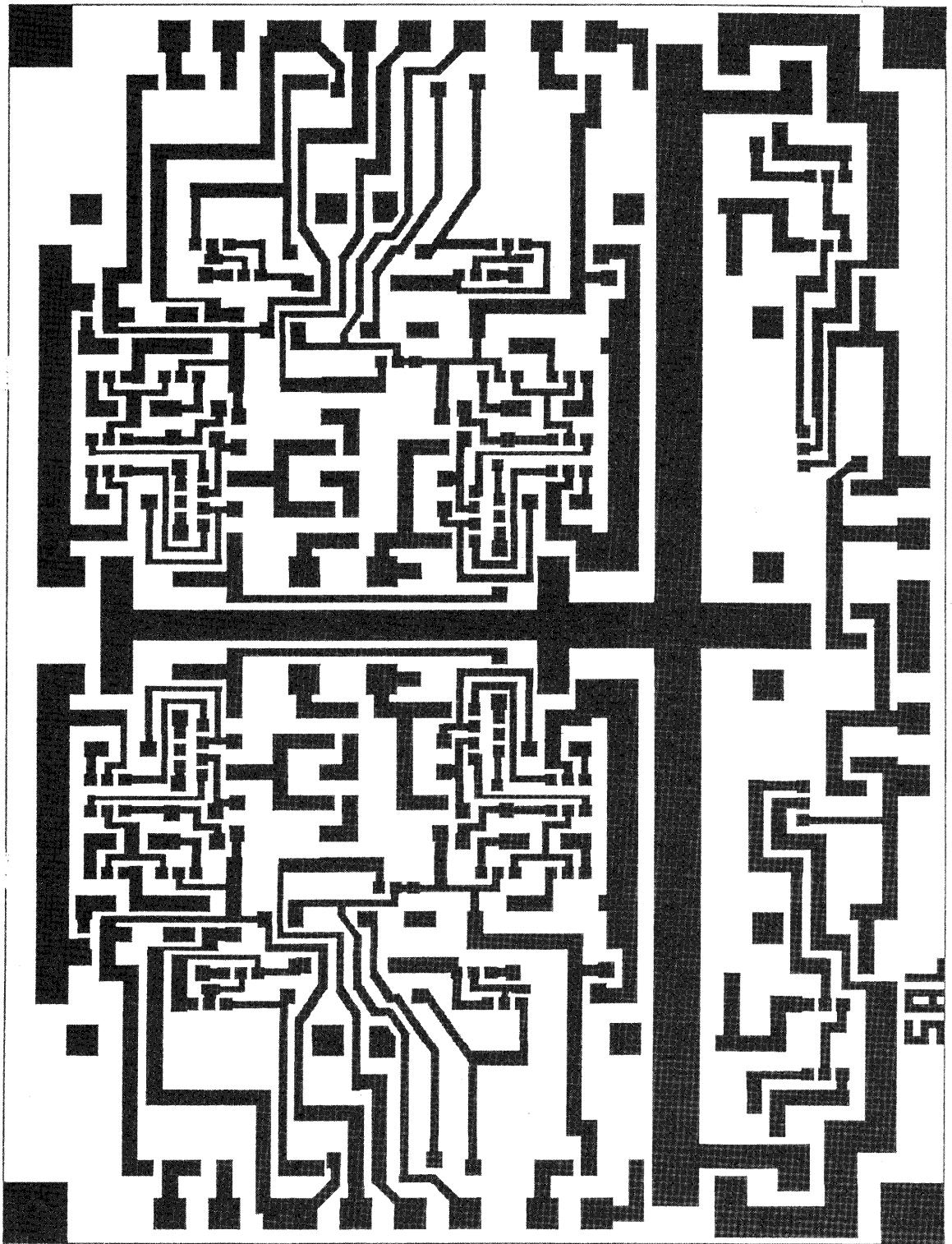
同様にノイズ発生のあるドライブ段の整流回路、そして定電圧電源回路を背面からシャシー中央に向かって配置してゆきます。

次に移って、入力端子（WBT 0201）を電源コード取り出しとバランスさせながら、それぞれシャシー背面左右の両端に配置させます。

入力端子からはシールド線（モガミ2497）でプリント基板にゆくのですが、基板上の入力部位位置を決めます。それは、a) 左右ch シールド線のGNDループを最小にする、b) シャシー中央からシャシー左端に向かって左ch の増幅経路、そして右端に向かって右



[図8] プリント基板の部品配置（裏面より見る）



[図9] プリント基板のパターン

chの増幅経路となる準モノーラル構成とする、c) リップルなど汚れた電流の多い出力近辺から離す、そして、d) 電圧増幅部のアートワークの上下対称、…などを考慮してシャシー中央・前面寄りに左右 ch のプリント基板入力部を設けます。

電源トランジスタをケミコンに近づけ、アンプ部を準モノーラル構成とするために、出力 Tr 放熱器はシャシー左右に分離して配置します。

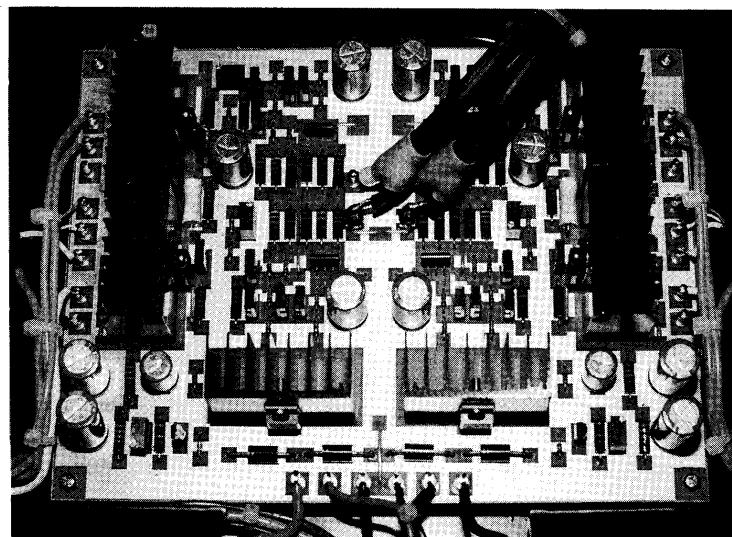
以上で部品配置がおおむね決まりましたので、最後にまとめる形でシャシーの外形寸法を調整してレイアウトが完了します。

プリント基板は表面をベタアース風、裏面を配線パターンにした両面としています(図8、図9)。この方法は表裏間のストレーキャパシティが問題となりやすいので、インピーダンスの高い配線は短くするよう心掛けます。ベタアースにすることで部品間での飛びつきは激減します。

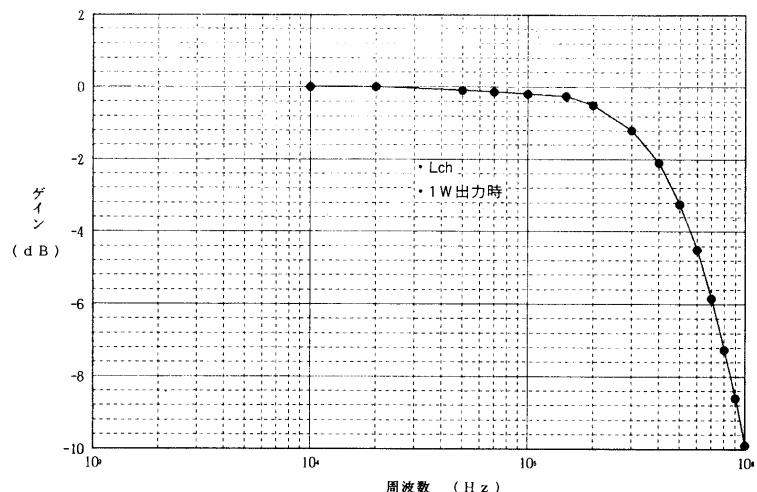
## 5. 本機の特性

周波数特性を図10に示します。DC～470kHz (-3dB) に仕上げました。高域カットオフはNFB 抵抗 ( $47k\Omega$ ) にパラった  $10pF$  によって決まります。高域の外部補償はこの一か所のみです。本機の入力部にはヒアリング結果から CR フィルターはつけておりませんが、入力の  $1.2k\Omega$  は接続ケーブルの L 分の影響をダンプするためのもので省略はできません。

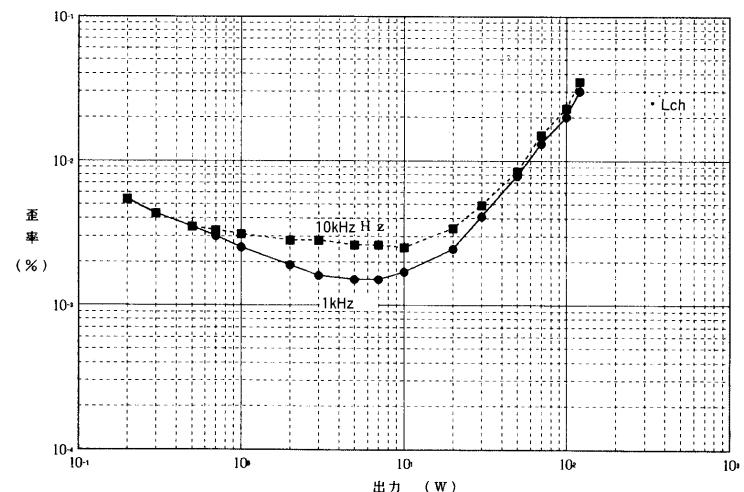
歪み率特性を図11に示します。図5に示した電圧増幅段の歪み率特性と比較すると、小・中出力時は電圧増幅段のノイズと歪みが、また、大出力時には終段の3段グリーンの歪みが支配的である



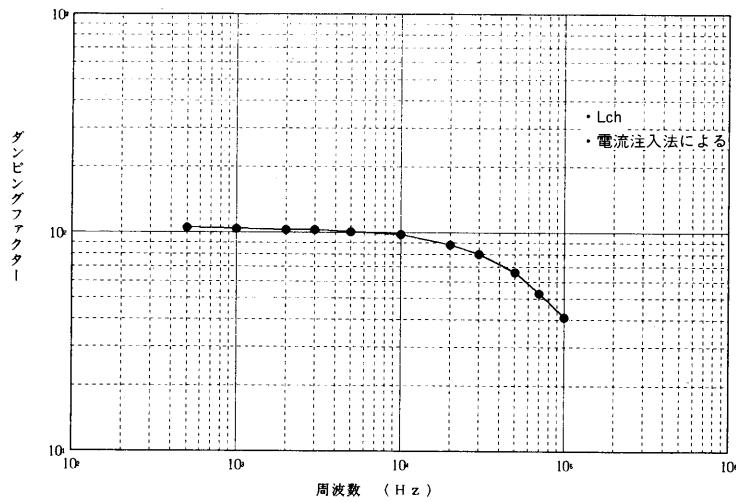
[写真5] プリント基板上面の部品配置（両面基板の部品側はベタアース）



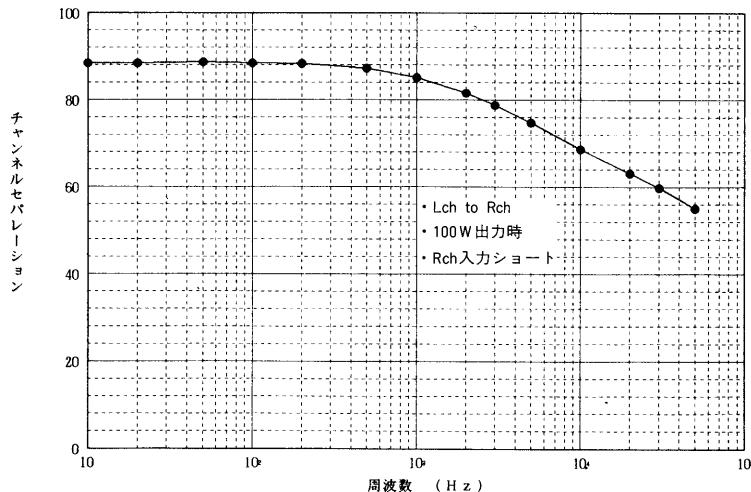
[図10] 本機の周波数特性



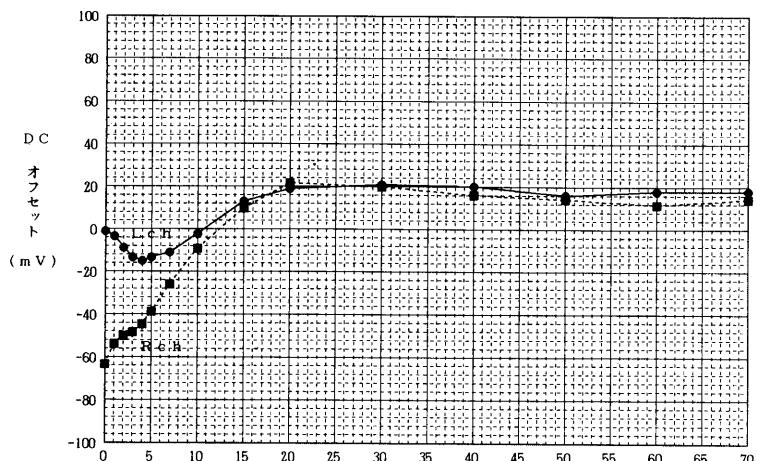
[図11] 本機の歪み率特性



[図12] 本機のダンピングファクタ特性



[図13] チャンネルセパレーション



[図14] DCオフセット

と考えられます。

DFを図12に示します。実測値105は出力 Tr の出力抵抗分が23 %, エミッター挿入抵抗が77%の寄与となっています。出力 Tr のエミッター挿入抵抗 ( $0.47\Omega$ ) のみによるDFの限界値は  $8 / 0.47 \times 10 = 170$ です。例えば、エミッター挿入抵抗を  $0.22\Omega$  に下げれば DF は160程度まで上がるはずです。本機では、出力 Tr が5パラとパラ数が多いので、エミッター挿入抵抗を大きめの  $0.47\Omega$  にしています。このエミッター挿入抵抗はスピーカー駆動に直接関与しますので良質なものを選択しなければなりません。本機では、福島双羽電機の MPC74 (5 W) を用いました。

チャンネルセパレーションを図13に示します。高周波数域でやや悪化しています。しかし、問題になるレベルではありません。

電源投入後の DC オフセットを図14に示します。電源投入時にわずかポップノイズがありますが、これも全く問題ないレベルです。

## 8. おわりに

歪み率、周波数特性、SN 比、パワーなどなど、追求すればするほど音質面で理解できない部分がでてくることがあります。

とはいえ、やはり数字はれっきとした客観的な尺度です。基本的完成度として尊重し、クリアしておかなければいけません。

重要なのは、数字と音を混同しないことです。「○○は良い音がする」と言いながら、実は地道に繰り返し測定して、「その××特性は優秀だ」との心証を得ているなどはマニアのよく陥り易い過ちはないでしょうか。