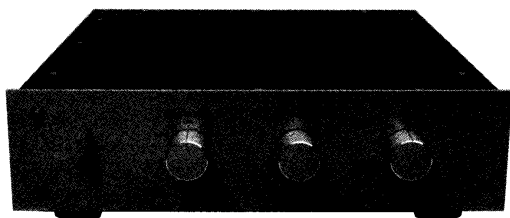


初段ペアFETを熱結合して出力オフセット変動電圧を極小化

高出力電圧/低ドリフト DCプリアンプ [設計編]

柴田由喜雄 SHIBATA Yukio



既発表の電圧ゲイン0dB DCパワーアンプを駆動することを念頭に製作した高出力電圧仕様のDCプリアンプ。初段は接合型FETをペア化して、熱結合として銅キャップを被せて小さな箱に収めた。これらの対策のおかげで温度ドリフトは極小に仕上がった。各種デュアルFETとペア化したFETのオフセット変動を測定したので、参考にしてほしい。出力段は、コンプリメンタリー MOS-FETの構成。0dB DCアンプとの相性が良く、クリアな音質傾向と低域の歯切れが増した印象を持つ。

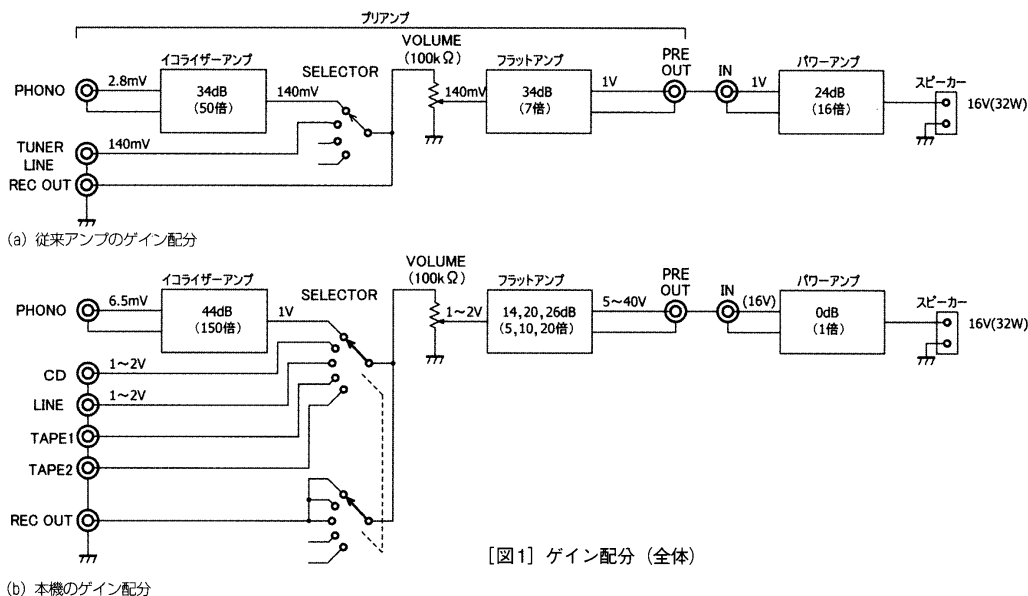
はじめに

すでに、幾台かの電圧ゲイン0dB パワーアンプ（本誌2016年2月号A級DCアンプ、6月号AB級DCアンプなど）を紹介してきた。本機は、それらのパワー

アンプを駆動することを念頭においたソリッドステートDCプリアンプである。イコライザーアンプ部のゲインを上げた点を除けば、既発表のハイブリッドプリアンプ（本誌2015年12月号）と似た高出力電圧仕様プリアンプである。

加えて、本機はDCアンプ特有の出力オフセットに対処して低ドリフトDCアンプとしている。

最近、CDプレーヤーなどのDAC出力電圧は高く、2V以上あるのが普通である。プリアンプのLINE入力に接続される機器



高出力電圧/低ドリフト DCプリアンプ

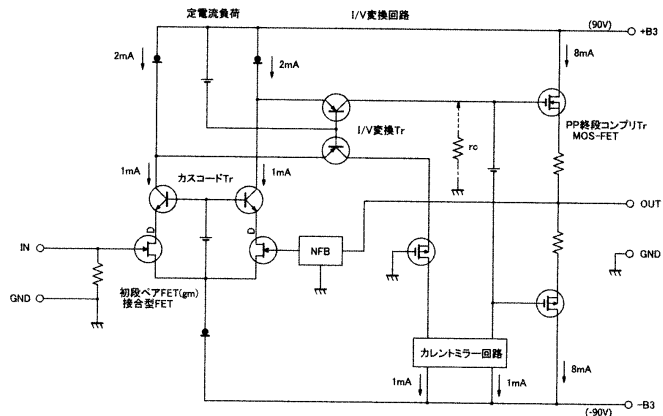
の出力電圧は高くなりつつあるようにも見える。

そういった点を考慮して、図1に示すように、本機では従来プリアンプ（本誌1990年代～2014年12月号ハイブリッドプリアンプ）とはゲイン配分を変えている。CD、LINE入力に1～2V程度を想定し、それに伴って不足しがちなイコライザーアンプのゲインを上げている。そして、電圧ゲイン0dBパワーアンプを十分に駆動できるように、プリアンプ出力電圧を高くしている。

さて、DCアンプでは出力オフセット電圧を調整して0Vにしても、実使用ではDCドリフト（出力オフセット電圧の変化/変動）が発生する。DCドリフトの主要因は、アンプユニット周辺の雰囲気温度とその変動であろう。電源オンの直後からアンプ筐体内の温度が上昇し、変動もする。また、冬季～夏季では、その温度がそのままスライドして変化する。本稿では、このDCドリフトについても詳述する。

アンプ部の基本回路

本機のアンプ部は、図2に示すように、接合型FET入力～MOS-FETコンプリメンタリー出力の1段増幅アンプを基本とし



〔図2〕 アンプ基本回路（原理図）

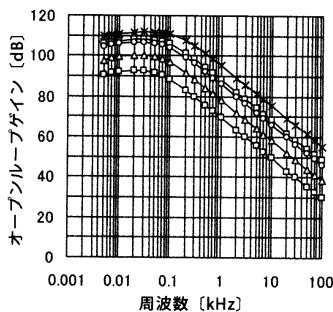
ている。初段は、ノイズ特性が重要であるので接合型FETを用い、終段はオープンループゲインを高くするためにMOS-FETとした。

MOS-FETゲート部とGND間の等価インピーダンスを r_c とすると、オープンループゲイン A は、おおむね $A = g_m \cdot r_c$ と表せる。初段に g_m が適度な大きさのFETを用いることで仕上がりゲインに対する適正なオープンループゲインを得ることができる。とりわけ、 r_c を高くすることで、初段FETの動作範囲を狭めて初段FETの線形性を高め、また、I/V変換過程における貴重な音楽信号の熱ロスを下げることが可能になる。

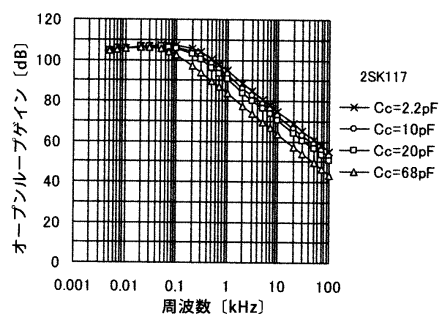
図3(a)に、いくつかの初段ベアFETの種類とオープンループゲイン変化の測定例（実験回路）を示す。初段FETの g_m が大きいとオープンループゲインが大きくなり、概して閉ループの諸特性が向上する。

しかし、あまり大きくしすぎると高域補正コンデンサの容量 C_c （後述）を大きくせざるを得なくなり、その結果、スルーレートの下がる（後述）。オープンループゲインの f_c も低下する（図3(b)）。逆に、 g_m が小さすぎると歪率が悪化する。したがって、初段FETに対して最適な g_m がある。

初段FETの差動増幅信号電流

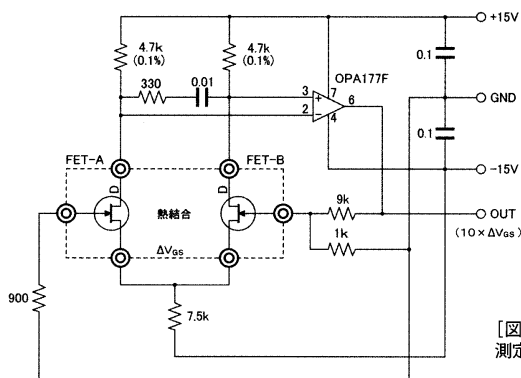


(a) 初段FETの種類とオープンループゲイン



(b) C_c の値とオープンループゲイン

〔図3〕 オープンループゲイン測定例（実験回路）



[図4] 温度ドリフト測定回路

は、定電流負荷を経て、I/V 変換回路によって電圧に変換される。I/V 変換回路はカレントミラー回路を含み、終段FETをプッシュプルで駆動する。

本機の動作電流は、初段FETおよびI/V変換回路ではスルーレートを考慮して1mA、終段では負荷ドライブ能力と発熱量を考慮して8mAとしている。

初段 FET による温度ドリフト

本機では「温度ドリフト」(温度による出力オフセット電圧の変化)を重視して設計したが、それは初段ペアFETの温度特性によって決まるといってもよいであろう。初段ペアFETの温度ドリフトは最小としたいものである。

いま、温度ドリフトがすべて初段FETで発生した場合を想定して、ペアFETのゲート電圧差 ΔV_{GS} の温度による変化量($\mu V/^\circ C$)を「ペアFETの温度ドリフト」と呼ぶことにする。

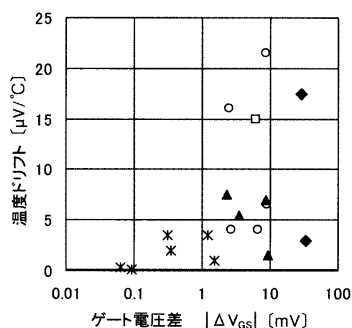
具体的にどのくらいの温度ドリフトが許容できるか概算してみる。図1のフラットアンプとパワーアンプのゲインを参照して、たとえば、パワーアンプ出力にてDCドリフト電圧10mV、初段ペアFET温度変化を $20^\circ C$ とすると、許容温度ドリフトは図1(a)のように、従来アンプの場合は、 $10mV/112 \text{ 倍}/20^\circ C = 4.5 \mu V/^\circ C$ 程度となる。本機では、図1(b)のように、 $10mV/20 \text{ 倍}/20^\circ C = 25 \mu V/^\circ C$ 程度となる。本機は、

従来アンプとして使うことも可能(必要)なので、本機で使用する初段ペアFETは少し厳しめの温度ドリフト $5 \mu V/^\circ C$ 以下を目安にする。

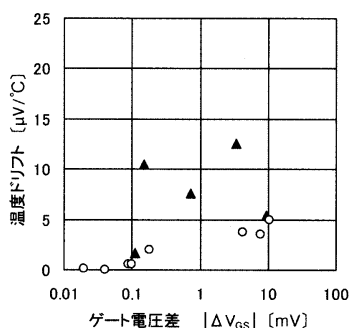
ここで、FETのペア性を重視するのであれば、初段FETとしてデュアルFETを用いるのがよいと思われるかもしれない。しかし、デュアルFETの温度ドリフトを実際に測定してみると、本機の温度ドリフト目標では、次のように困難があることがわかる。

図4に、温度ドリフト測定回路を示す。温度ドリフトは測定条件によって変わるが、本機の動作点に近い $V_{DS}=10V$ 、 $I_D=1mA$ とした。出力には $10 \times \Delta V_{GS}$ が出力される。測定回路の雰囲気温度を $20^\circ C \rightarrow 40^\circ C$ に変えたときの ΔV_{GS} の変化を測定した。

図5に、いくつかのデュアルFET温度ドリフト測定結果例を示す。横軸に対数目盛で $|\Delta V_{GS}|$ をとり、縦軸に温度ドリフトをプロットした。サンプルを測定した限りでは、2SK2145(東芝製)を除き、温度ドリフトは $2 \sim 22 \mu V/^\circ C$ の範囲で大きくバラつく。測定誤差を考慮しても、温度ドリフト $< 5 \mu V/^\circ C$ とするには、明らかに選別が必要であるように見える。しかし、昨今、この種



[図5] デュアルFET温度ドリフト測定例



[図6] ペアFET温度ドリフト測定例

のデュアルFETを多数個用意して選別することは現実的ではない。**2SK2145**を除き、採用は難しいであろう。

図6に、ペア化した**2SK117**（東芝製）、**2SK43**（ソニー製）の温度ドリフトを示す。いずれも、 ΔI_{DSS} によってペア選別している。デュアルFETと同様に、**2SK43**ペアの温度ドリフトは1つ2つよさそうなのがあるが、残りはバラつく。一方、**2SK117**ペアの温度ドリフトはかなり小さく、 $|\Delta V_{GS}|$ と相関があるようにも見える。おそらく、測定したサンプルは、「ロット性」が良好であったのであろう。

初段FETによるオフセット変動

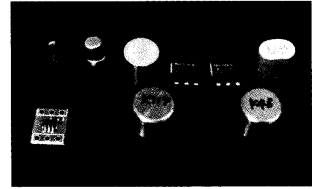
本機では高出力電圧仕様のために電源電圧が高く、ある程度の発熱があるので筐体が密閉構造ではない。筐体が完全密閉構造のプリアンプではあまり問題になら

ないが、筐体に多くの通風孔をあけて大気にアンプ部をさらす形になると「気流変動」の問題が生じる。気流変動に起因するランダムな出力オフセット電圧の変動（以下、短く「オフセット変動」と呼ぶ）が発生する。

前記図4の測定回路にて、出力オフセット電圧の時間経過をいくつかのFET（写真1参照）について調べたのが図7である。図7では、実測オフセット電圧からオフセット電圧平均値を差し引き、オフセット電圧の変化分としてプロットしている。図中に付記した数字は、温度ドリフト実測値である。

図7(a)のように**2SK117**ペアと測定回路を密閉箱体に置いた場合には何ら問題は生じない。図7(a)は、プリアンプを完全密閉筐体構造とした場合に相当する。

しかし、**2SK117**ペアと測定回路を机上で大気に露出して測定すると、図7(b)のようなランダ

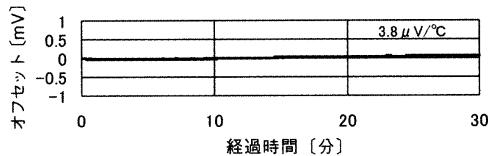


【写真1】オフセット変動を調べたペアFET。左より右に、瞬間接着剤で熱結合した**2SK117**、**2N3954**、試しに**2N3954**に被せたアルミブロック、**2SK97**、**2SK58**、**2SK146**。左下より右に、**2SK2145**、樹脂モールドした**2SK2145**（自作）、Cuキャップを被せた**2SK117**、瞬間接着剤で熱結合した**2SK43**、Cuキャップを被せた**2SK43**

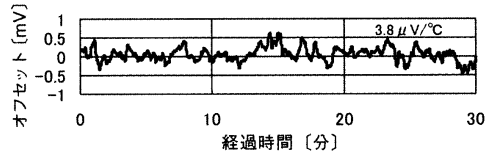
ムに変動するオフセット変動が発生する。ゲイン10倍で、 $\pm 0.5\text{mV}$ 程度のかなり大きい変動である。

変動の大きさはFETの露出状況で変わる。可能な限り無風の状態で測定したものの、それでも微小の気流変動がFET素子の温度変化をもたらし、オフセット変動を引き起こす。

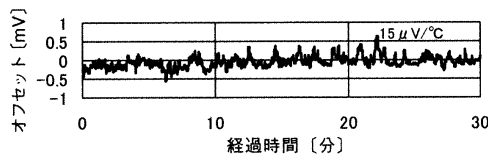
ここでも、**2N3954**などのデュアルFETを用いれば解決できそ



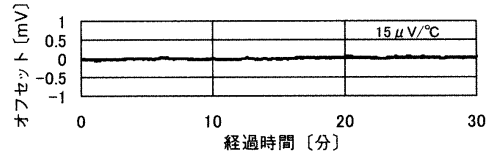
(a) **2SK117**ペア、密閉 (10L密閉箱)



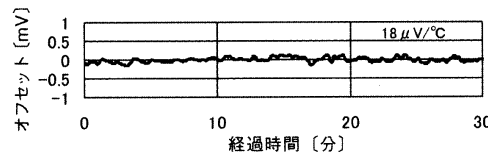
(b) **2SK117**ペア、開放 (机上、大気開放)



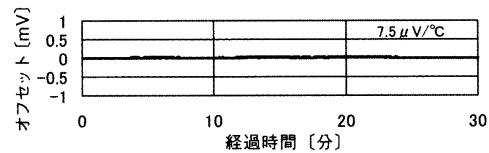
(c) デュアルFET **2N3954**、開放



(d) デュアルFET **2N3954**、アルミブロック&スポンジ、開放

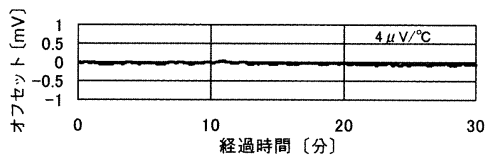


(e) デュアルFET **2SK97**、開放

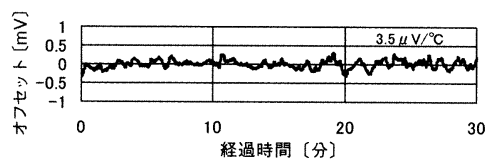


(f) デュアルFET **2SK58**、開放

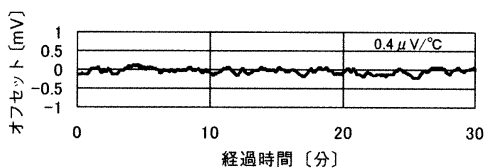
【図7】デュアルFET、ペアFETのオフセット変動 (a)～(f)



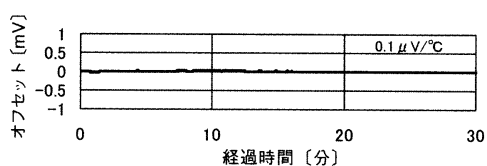
(g) デュアルFET 2SK146, 開放



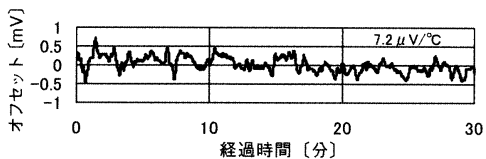
(h) デュアルFET 2SK2145 (変換基板使用), 開放



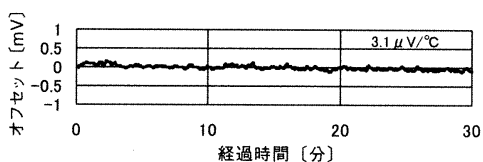
(i) デュアルFET 2SK2145 樹脂モールド, 開放



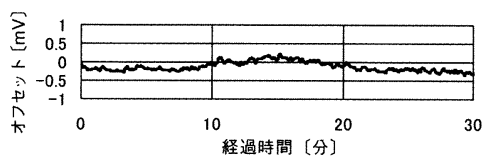
(j) 2SK117ベア+Cuキャップ, 開放



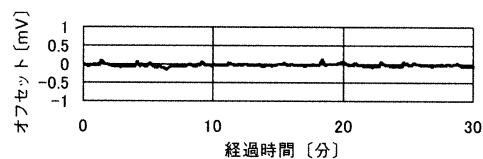
(k) 2SK43ベア, 開放



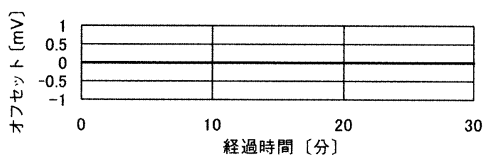
(l) 2SK43ベア+Cuキャップ, 開放



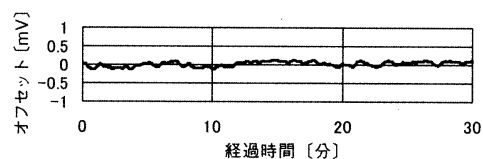
(m) デュアルFET 2SK129, 開放



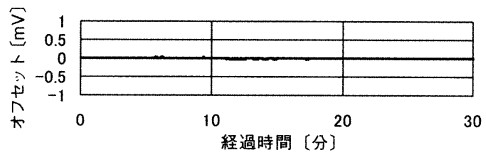
(n) デュアルFET 2SK240, 開放



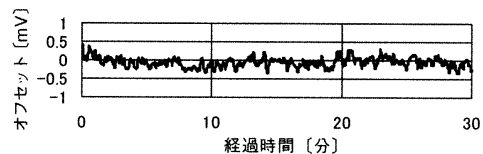
(o) デュアルFET 2SK389, 開放



(p) デュアルFET UP24P, 開放



(q) デュアルFET μPA70A, 開放



(r) デュアルFET E400, 開放

[図7] デュアルFET, ベアFETのオフセット変動 (g) ~ (r)

うに思われるのだが、実測すると、やはり期待を裏切られる(図7(c)). 2N3954はリード線からの伝熱変動があるのであろう。類似特性のFD1840は、内部で

リード線端部の小さな台に素子を載せたサーカスのような構造(図8, 推定)となっている。試しにリード線をスポンジで覆い、ケースにアルミブロック(写真1参照)を

被せることでオフセット変動が相当小さくなる(図7(d)).

樹脂でモールドされた2SK97や2SK58のオフセット変動は小さい(図7(c), (f)). とりわけ、

高出力電圧/低ドリフト DCプリアンプ

2SK58 は驚くほど小さい。試験に用いたソケットの影響も多少あろうが、素子の載った2つのゲートが接近していることが良いのであろう(写真2)。しかし、残念ながら、2SK58 はある程度選別が必要で、また g_m が低いので、本機では用いることができない。

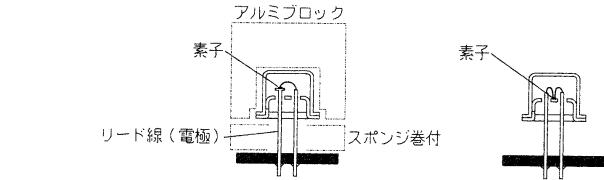
2SK146 のオフセット変動もかなり小さい(図7(g))。素子の載ったゲート電極(写真3参照、写真は類似の2SK147)が大きく、熱結合(貼り合せ)に有利に作用する構造となっていることによると思われる。アルミキャップも影響しているであろう。ただ、2SK146 は g_m が大きすぎるので、これも本機では用いることができない。

興味深いFETとして、2SK117と同一特性の2SK2145がある。複数個(ランクGR)の実測では、ほとんどが $\Delta I_{DSS} < 0.1\text{mA}$ 、 $\Delta V_{GS} < 3\text{mV}$ であり、初期選別の手間が省けそうだ。

しかし、2SK2145 (DIP 変換基板使用) のオフセット変動は思ったほど小さくない(図7(h))。これは2SK2145の構造が、単に2SK117(写真4)と類似な素子を1.9mm 離して2つのゲート電極上に配置した構造と推察できるからである(写真5)。熱結合という観点からは、横断面積の割には2素子が相当に離れている。



【写真4】2SK117の構造。電極は左からS-G-D。横長矩形形状のゲートに素子が載っている



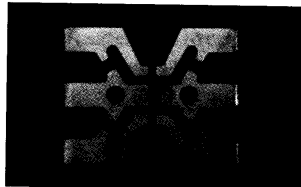
FD1840構造(模式図、参考) μPA70A (模式図、参考)
2N3954と類似特性

【図8】デュアルFET推定構造

DIP 変換基板を樹脂モールド(自作、(写真1)参照)すると変動は少し小さくなる(図7(i))。

熱結合した2SK117 ペアを後述の銅(Cu)キャップ内にエポキシ樹脂で封入することでオフセット変動を大幅に小さくできる(図7(j))。Cu キャップによって、2つのFETの温度が均一化し、さらに熱容量が大幅に増えたことによると思われる。

同様に、2SK43 ペアについても(図7(k))、Cu キャップによってオフセット変動を小さくすることができる(図7(l))。なお、

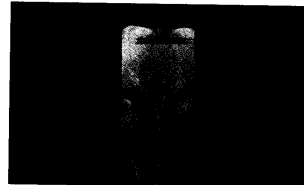


【写真2】2SK58の構造。電極は左上から下にソースS1-ゲートG1-ドレインD1、右上からS2-G2-D2。左右の接近した2つのゲート電極上に素子が載っている。合理的な構造となっている

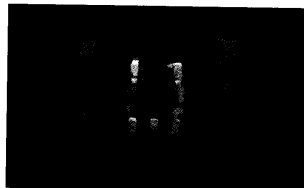
2SK43 はゲート電極を旗形状にして、その旗上に素子を配置した非対称の構造になっている(写真6)。

参考として、あらたに入手は困難と思われる、ほかのいくつかのデュアルFET 測定例も図7(m)～図7(r)に示す。オフセット変動のみに限れば、2SK389(東芝製)の特性はすこぶる良い。

以上より、単純で芸のない方法ではあるが、入手の問題を考慮すると、相当数の単一FET を用意し、その中から温度ドリフトが小さいペアを選別して、さらにそれ



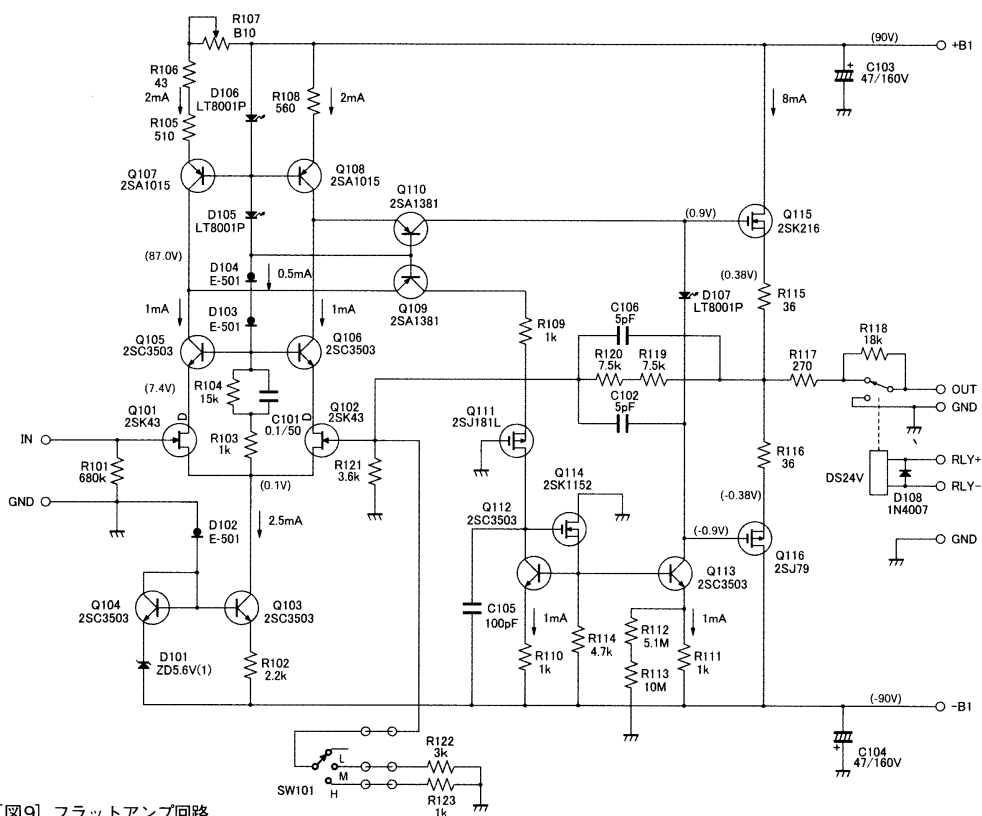
【写真3】2SK146と類似の2SK147の構造。電極は左からS-G-D。ゲート電極上に素子が載っている。小信号用としてはゲート電極がかなり大きく、熱結合に有利



【写真5】2SK2145の構造。電極は左上より右にゲートG1-ゲートG2、左下より右にD1-共通S-D2。やや離れた2つのゲート電極上に素子が載っている



【写真6】2SK43の構造。電極は右側が左よりG-S-D。ゲート電極が旗状になっている。左側はゲート電極を反対側から見たもので、素子が載っている



[図9] フラットアンプ回路

らにCu キャップを被せる方法が現実的にベストな方法である。

本機では、オープンループゲインを適度に維持するために、フラットアンプに g_m が中程度の 2SK43 (2SK97 と同じ特性)、イコライザアンプに 2SK117 (2SK2145 と同じ特性) を用いた。

フラットアンプ回路

本機のフラットアンプ部回路を図9に示す。初段FET (Q101, Q102) に 2SK43 ペア選別品を用いている。

初段FETのほかに、温度ドリフトに影響を及ぼすのは、初段定電流負荷となる Q107, Q108 (ともに 2SA1015)、およびカレントミラー回路の Q112, Q113 (と

もに 2SC3503) であり、それらについても h_{FE} の揃ったペアを使用している。これらも熱結合する。なお、旧サンヨー (現パナソニック) 製 2SC3503 (コレクター電極が露出) の熱結合では、コレクター・コレクター間のC容量(最大数 10pF 程度)発生を避けた絶縁処置を要するが、本機では熱結合のしやすい(発生C容量小)フェアチャイルド製の 2SC3503 (樹脂絶縁モールド) を用いている。下記 2SA1381 についても同様である。このC容量が大きいと、オープンループゲインの f_c が下がり、また、スルーレートが悪化する。

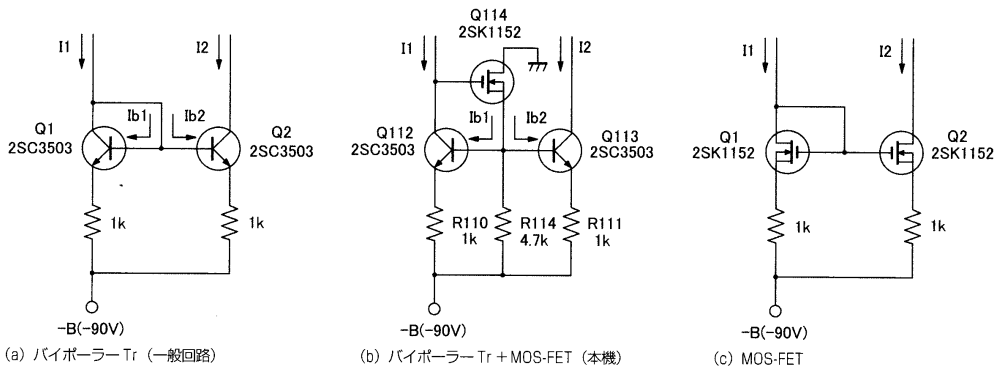
初段FETのドレイン電流はカスコード接続した Q105, Q106 (ともに 2SC3503) で受ける。Q105,

Q106 のベースに接続される定電流ダイオード D103, D104 (ともに E-501) を直列接続しているのは、定電流ダイオードの低い耐圧 (定格 100V) を上げるための処置である。

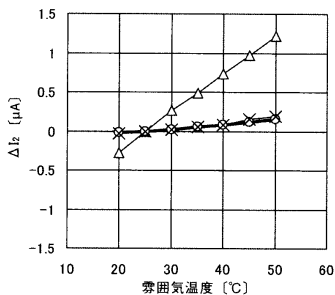
定電流負荷 Q107 のエミッターにて出力オフセット電圧の調整を行う。すでに、初段FETはかなりの精度でペア選別してあるので、調整用半固定抵抗 R107 (B10Ω) もかなり小さい値にしている。

Q111 (2SJ181) は Q109, Q110 (ともに 2SA1381) のコレクター損失を揃えて、それらの温度上昇を揃えるためのものである。従来、Q111 はバイポーラトランジスタを用いることが多

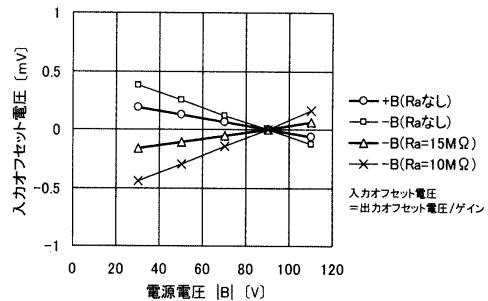
高出力電圧/低ドリフト DCプリアンプ



〔図10〕 カレントミラー回路例



〔図11〕 カレントミラー回路例と温度特性



〔図12〕 電源電圧変化とオフセット電圧変化

かった。本機ではMOS-FETを用いている。バイポーラトランジスタのベース電流は温度特性を持っており、温度変化によってカレントミラー回路の温度特性に影響することを避けるためである。

カレントミラー回路も温度ドリフトが極小となるようにした。図10(a)の一般カレントミラー回路では、トランジスタ Q_1 と Q_2 のベース電流($I_{b1} + I_{b2}$)が I_1 に流れることによって、図11(a)のように温度変化によるベース電流の変化が I_2 のごくわずかな変化として表れる。かなり小さい量ではあるものの、無視はできないレベルである。

図10(b)(本機)の回路では、少し回路が複雑になるが、 Q_{112} と Q_{113} のベース電流が Q_{114}

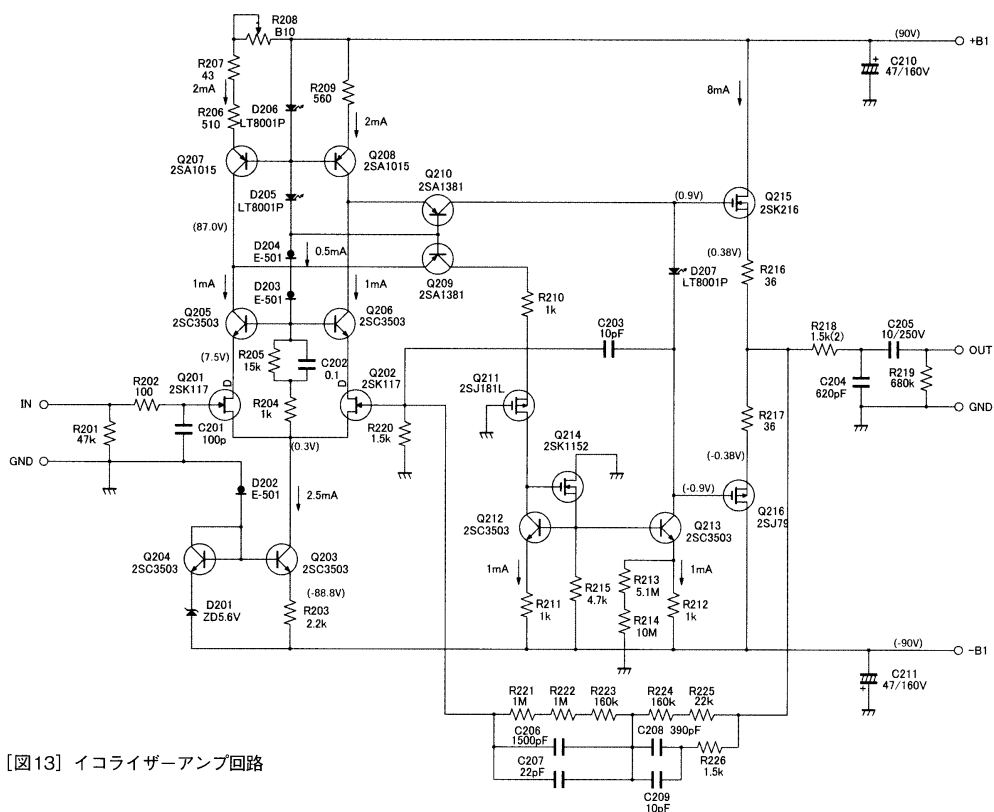
(2SK1152)のソースから供給されて、温度が変化しても I_2 の変化は小さい(図11の(b))。参考として、ベース電流の問題が生じないMOS-FETを用いた図10(c)のようなシンプルな回路でも I_2 の変化を小さくできる(図11の(c))。局部帰還のかかった、さらに複雑な回路を用いれば、より温度ドリフトを改善可能であるが、高域特性などの劣化が心配されたので、今回は見送った。

本機のアンプ回路構成は、電源電圧の影響が非常に小さい。それでも、+側に比べて-側電源電圧の影響がわずかに大きいので、 $R_a = R_{112}(5.1\text{M}\Omega) + R_{113}(10\text{M}\Omega)$ を入れて、その影響を緩和している(図12)。本機では、最終的に-側の影響と+側の影響を揃

える(対称とする)ために、 $R_a = 15\text{M}\Omega$ としている。

これまでプリアンプの出力段として多用している、MOS-FET コンプリメンタリー Q_{115} (2SK216)、 Q_{116} (2SJ79) の耐圧($V_{DSS} 200\text{V}$)によって、本機の電源電圧($\pm B_1 = \pm 90\text{V}$)が決まっている。

フラットアンプの仕上がりゲインを14dB(5倍、Lポジション、従来パワーアンプ対応)、20dB(10倍、Mポジション)、26dB(20倍、Hポジション)の3段階可変とした。フロントパネルに設けたロータリースイッチSW101によって、負帰還量を切り換えてゲインを変える。電圧ゲイン0dBパワーアンプ接続時には、常用20dB(M)ポジションを想定している。



[図13] イコライザーアンプ回路

イコライザーアンプ回路

図13に、イコライザーアンプ部回路を示す。基本回路は、フラットアンプと同じである。初段FETを2SK117ペア選別品にした点、負帰還抵抗がイコライザー素子に変わった点、および出力コンデンサーC205 (10μF) が追加された点が大きく異なる。

本機のイコライザーアンプの仕上がりゲインは、図1のように44dB (150倍) と高かった。ゲインを上げても、最大出力電圧が高いので、最大許容入力とは適正な値を維持している (後述)。

出力段 MOS-FET には、フラットアンプと同じく 8mA の電流を流している。MOS-FET として

はやや少な目の電流値であるものの、電源電圧が±90V と高いので、常時、出力段で 1.4W の発熱量がある。

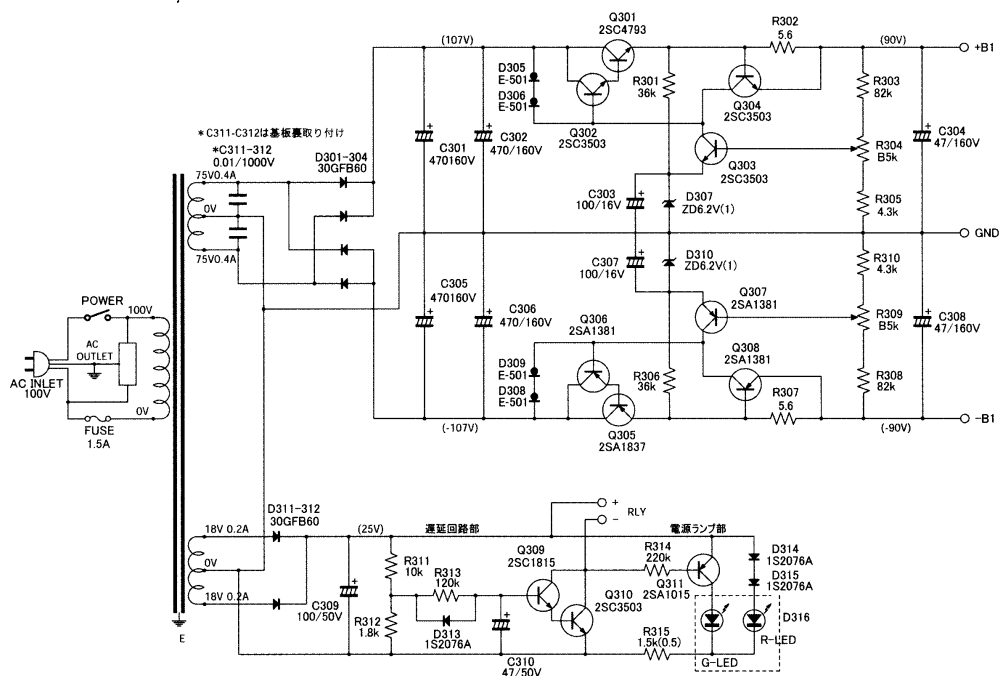
イコライザー素子は出力段の負荷となるので、高出力電圧を考慮して軽めの定数としている。可聴帯域で負荷として最もきつくなる 20kHz にて、イコライザー素子のインピーダンスは 22kΩ であり、R218 (1.5kΩ) + C204 (620pF) のインピーダンス 14kΩ、および、VOLUME 100kΩ との並列合計 7.9kΩ がイコライザーアンプの負荷になる。一方、イコライザーアンプが A 級動作で駆動できる限界負荷は、出力電圧 58V にて 5.1kΩ である。その差が A 級動作余裕量になる。

イコライザーアンプでは出力オフセット電圧変動が大きいので、出力コンデンサー C205 を備えている。しかし、アンプ自体の動作点変動を最小にするために、温度ドリフトやオフセット変動に関する配慮もフラットアンプと同様にしている。

電源部回路

図14に電源部回路を示す。安定化電源は、極力シンプルな回路としている。とはいえ、本機では誤差増幅トランジスタ Q303 (2SC3503)、あるいは Q307 (2SA1381) の負荷に定電流ダイオード D305、D306 (ともに E-501)、あるいは D308、D309 (ともに E-501) を採用している

高出力電圧/低ドリフト DCプリアンプ



〔図14〕 電源部回路

ので十分な負帰還量が確保され、AC100V 電圧変動や負荷電流変動などに起因する電源電圧変化も小さい。

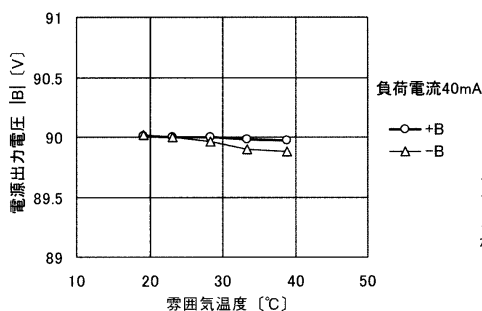
また、雰囲気温度変化にも対処している。本機の回路では、トランジスタ Q303, Q307 の負の V_{BE} 温度係数 ($-2\text{mV}/^{\circ}\text{C}$) に対し、ツェナーダイオード D307, D310 (ともに 6.2V) を同程度の正

の温度係数とすることで、温度変化に対する電源電圧変化を最小に (キャンセル) できる。図15 に示すように、比較的良好な温度特性となっている。

電源部の出力には Q304 (2SC3503), Q308 (2SA1381) からなる 0.1A 程度の電流制限回路を設けている。誤配線や調整中の事

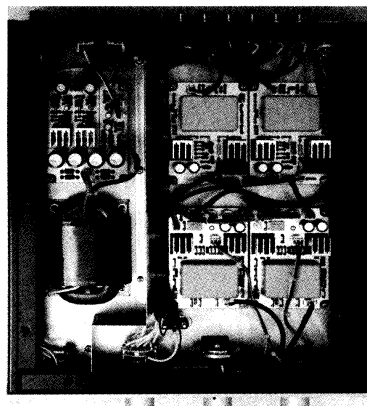
故 (ショートなど) による電源部過負荷を防ぐものである。この電流制限回路は、フラットアンプ出力に極端に低いインピーダンス負荷が接続されたときのアンプ終段の過大電流発生 / 破壊をも防いでいる。

次号では、製作について解説する。



〔図15〕 電源温度特性

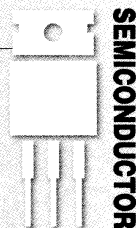
ケース内のように、電源トランスの上は電源基板、右上は、イコライザーアンプ基板、下がフラットアンプ基板



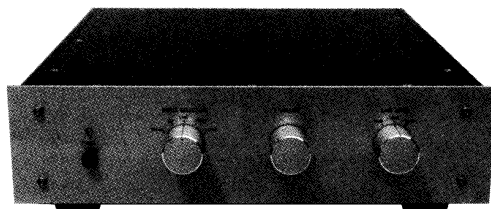
初段ペアFETを熱結合して出力オフセット変動電圧を極小化

高出力電圧/低ドリフト DCプリアンプ [製作編]

柴田由喜雄 SHIBATA Yukio



電圧ゲイン0dB パワーアンプの駆動を念頭においた高出力電圧仕様のDCプリアンプ。温度ドリフトを極小にするために接合型FETをベア化して、熱結合として銅キャップを被せて、さらに小さな箱に収める工夫をしている。ケースの底板と両側板には多数の細長孔をあけ、通風に配慮。ゲインはL, M, Hポジションをスイッチで選択でき、TAPE入力やREC OUT端子を設け多機能化している。本機の低ドリフト化技術の応用範囲は諸DCアンプ等々、多くに応用可能であろう。

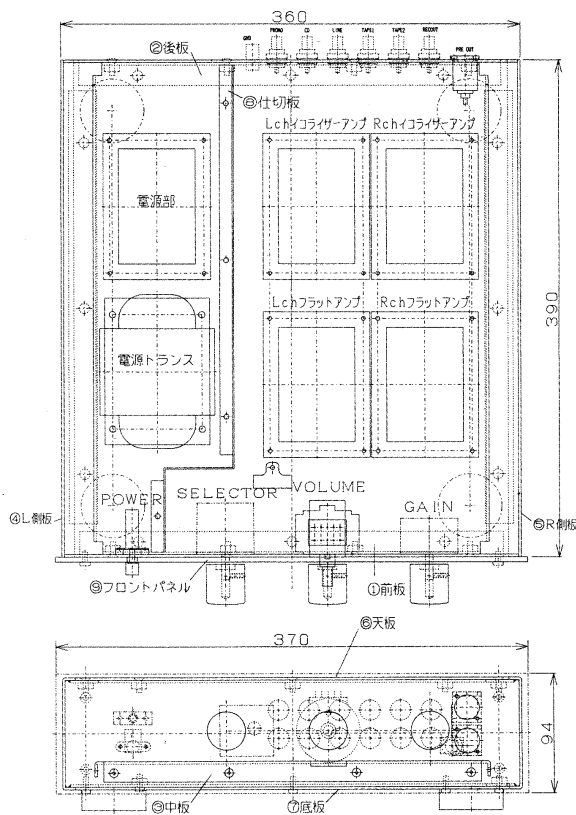


製作

前号では、温度ドリフトを極小にする施策などについて詳説した。本号では、製作について解説する。

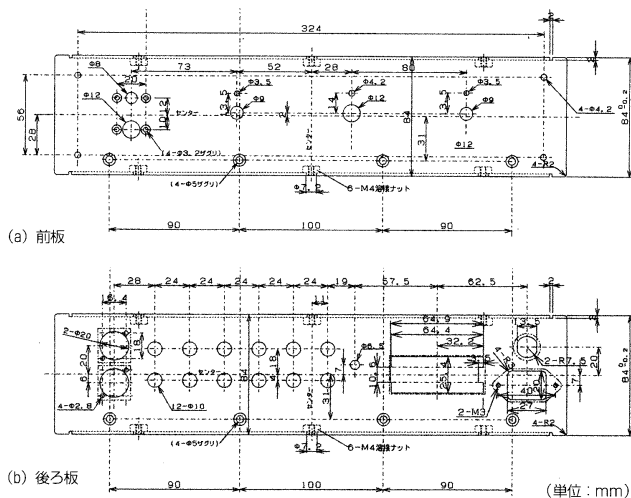
筐体はt2mm 鋼板の折り曲げ構造とし、各パーツを溶接ナット・ネジで結合する強固な構造とした。図16(前号より連番)に全体レイアウト図を示す。「⑧仕切板」の左方に電源部、右方にアンプ部を配置した。アンプ部は前側にL/Rフラットアンプ部基板、後側にL/Rイコライザーアンプ部基板を設置した。誌面の都合で詳細図は省略するが、「③中板」の各プリント基板配置部の4か所には矩形の通風孔(90×60mm)を設けている。

通風は、「⑦底板」に設けた多数の長孔から、「③中板」の通風孔を経て、左右の側板に設けた長孔から側方に抜けるようにした。長孔は幅3mm、長さ30mmのスリット状で、「④L側板」には40個の長孔、「⑤R側板」の長孔



「図16」全体レイアウト

(単位: mm)

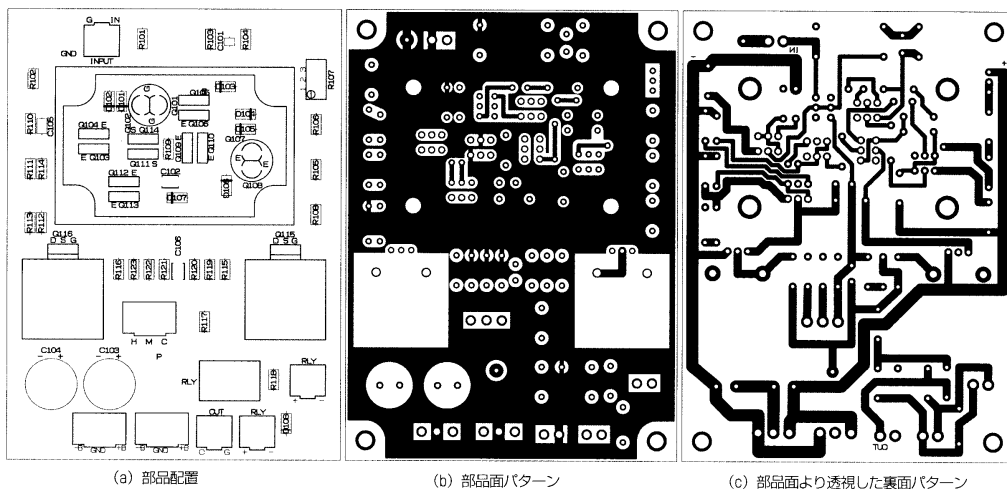


[図17] 前板, 後ろ板加工図

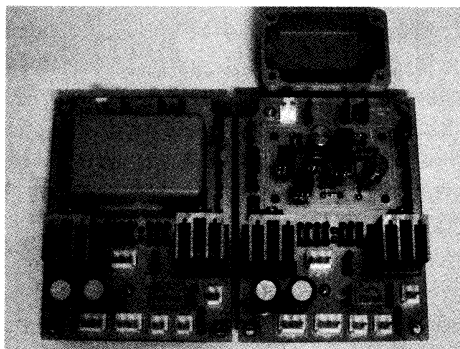
は26個あけている。

放熱はその通風(対流)によるもののほか、筐体表面からの熱放散がある。長孔を通じて前側のフラットアンプ基板に直接筐体外からの風が当たらないように、「⑦底板」と「⑤R側板」の長孔は後方に偏らせている。図17に、「①前板」と「②後板」を示す。

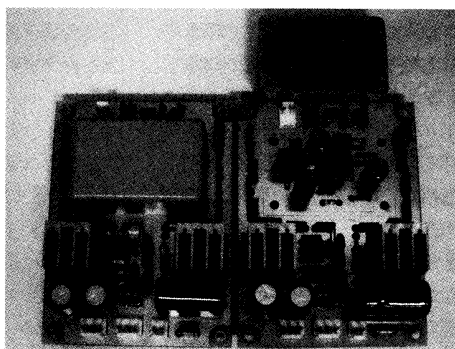
図18にフラットアンプ部プリント基板パターン(部品面からの透視図)を示す。表面をベタアースとしたガラスエポキシ両面基板である。図の上方より下方に向かって入力/出力としている。電源とリレー電源のコネクターはそ



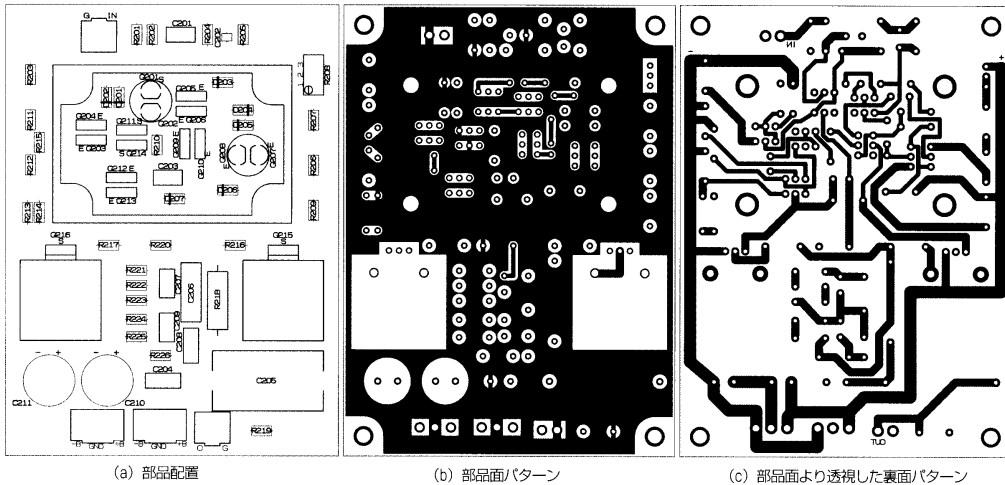
[図18] フラットアンプ基板 (60%縮小)



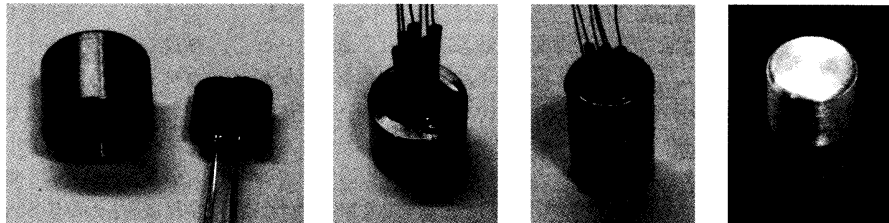
[写真7] 組み上げたフラットアンプ基板。基板には終段を除く半導体を覆う金属製のアンプカバーを装着



[写真8] 組み上げたイコライザーアンプ基板。フラットアンプと同様に、基板には金属製のアンプカバーを装着



【図19】イコライザーアンプ基板 (60%縮小)



(a) Cuキャップと、リード線に銅細線継ぎ足し処理を施し、瞬間接着剤で熱結合したベアFET

【写真9】ベアFETの製作手順

(b) Cuキャップ内にエポキシ樹脂でベアFETを封入。リード線には補強チューブを被せる

(c) リード線の根元を樹脂で固める。Cuキャップ側面にセロハンテープを巻き付け、エポキシ樹脂を注入する

(d) リード線に細工を施して完成した、基板に取り付ける前の状態のベアFET

れぞれ2口用意して、接近したアンプ基板間で配線を取り回すことで、離れた電源基板～アンプ基板間の配線数を大幅に減らしている。

図19に、イコライザーアンプ部プリント基板パターン(部品面からの透視図)を示す。部品配置は、フラットアンプ部プリント基板と類似している。

写真7(前号より連番)に組み上げたフラットアンプ部プリント基板を、写真8に同イコライザーアンプ部プリント基板を示す。

前述のように、オフセット変動を小さくするために、アンプ初段のベアFETはCu(銅)キャップ内に封入しているものの、アンプ基板アッセンブリとしてわずかな

なオフセット変動が認められたので、出力段を除く半導体類をまとめて金属製のアンプカバー(タカチ電機工業TD-4-6-3)で覆った。アンプカバーは、総合的なオフセット変動に対してかなりの効果がある。

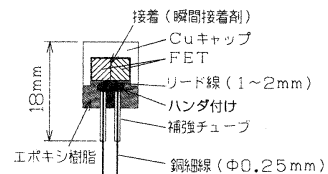
初段ベアFETは、プリント基板の温度勾配(各リード線からの伝熱)の影響を緩和するためにあらかじめ細工を施しておく。

① ベアFETのリード線を根元で切断し、銅細線を継ぎ足して、FETを瞬間接着剤で貼り合わせる(写真9(a))、

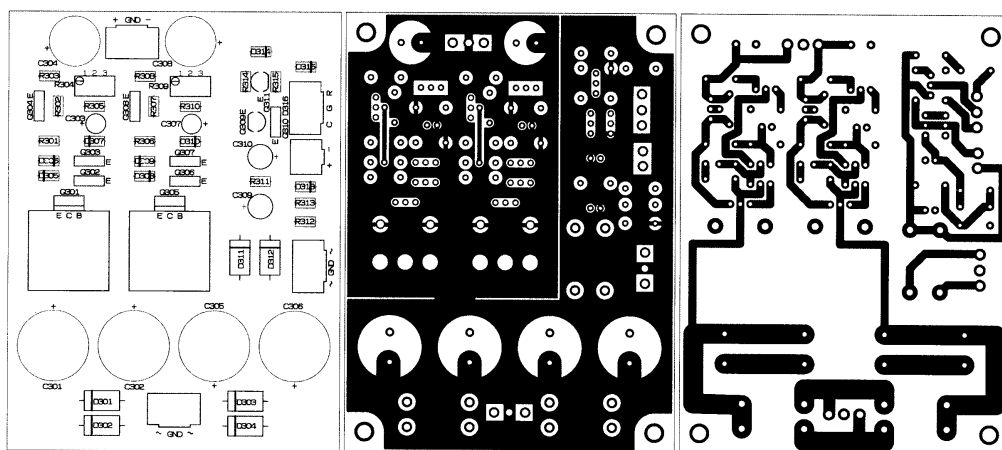
② 銅細線に補強チューブを被せ、Cuキャップ内にエポキシ樹脂で封入する(写真9(b))、Cu

キャップ下部をエポキシ樹脂で固めて(写真9(c))、プリント基板取り付け前の状態に仕上げる(写真9(d))、図20)。Cuキャップは、無酸素銅材を削り出して製作している。

初段定電流負荷用ベアトランジスタもCuキャップ内にエポキシ樹脂で封入している。上記リード線の細工は行っていない。出力段を除く諸トランジスタは、ア



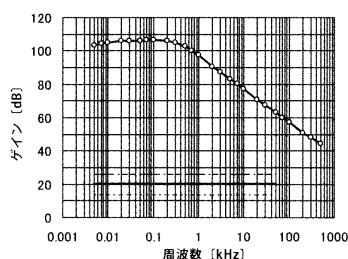
【図20】初段FETの熱結合



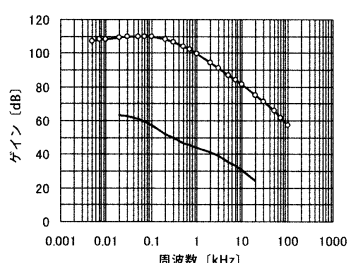
高出力電圧/低ドリフト DCプリアンプ

[表1]
主な部品表

使用箇所	部品	記号	型番・値	個数	メーカー	備考
フラットアンプ部 (プリント基板)	抵抗	R101ほか	RP-24C	40	ニッコン	
		R112, R113	ハイメグ抵抗	4	—	
		R107	B10Ω	2	—	25回転ポテンシオメーター
	コンデンサー	C101	0.1μF/50V	2	ニッセイ電機	フィルム
		C102	5pF	2	—	ディップマイカ
		C103, 104	47μF/160V	4	—	電解コンデンサー
		C106	100pF	2	—	ディップマイカ
	トランジスター	Q101, Q102	2SK43	4	ソニー	
		Q103~Q106, Q112, Q113	2SC3503	12	FC (サンヨー)	
		Q107, Q108	2SA1015	4	東芝	
		Q109, Q110	2SA1381	4	FC (サンヨー)	
		Q111	2SJ181L	2	ルネサス	
		Q114	2SK1152L	2	ルネサス	
		Q115	2SK216	2	日立	
		Q116	2SJ79	2	日立	
		D101	5.6V	2	—	ツェナー
	ダイオード	D102~D104	E-501	6	—	CRD
		D105~D107	LT8001P	6	—	赤色LED
		D108	1N4007	2	—	
	リレー	RLY	DS(1c)-24V	2	パナソニック	
	小型放熱器	—	20×20×25mm	4	—	
	Cuキャップ	—	φ10×8mm	4	—	特注品
	プリント基板	—	—	2	—	特注品
	アンプカバー	—	TD-4-6-3	2	タカチ電機工業	
	コネクタ	—	B3P-VH	6	JST	
	—	—	B2P-VH	4	JST	
イコライザーアンプ部 (プリント基板)	抵抗	R201ほか	RP-24C	42	ニッコン	
		R213, R214	ハイメグ抵抗	4	—	
		R208	B10Ω	2	—	25回転ポテンシオメーター
	コンデンサー	R218	15kΩ2W	2	—	酸化金属被膜
		C201	100pF	2	—	ディップマイカ
		C202	0.1μF/50V	2	ニッセイ電機	フィルム
		C203	10pF	2	—	ディップマイカ
		C204	620pF	2	—	ディップマイカ
		C205	10μF/250V	2	パナソニック	フィルム
		C206	1500pF	2	—	ディップマイカ
		C207	22pF	2	—	ディップマイカ
		C208	390pF	2	—	ディップマイカ
		C209	10pF	2	—	ディップマイカ
		C210, C211	47μF/160V	4	—	電解コンデンサー
	トランジスター	Q201, Q202	2SK117	4	東芝	
		Q203~Q206, Q212, Q213	2SC3503	12	FC (サンヨー)	
		Q207, Q208	2SA1015	4	東芝	
		Q209, Q210	2SA1381	4	FC (サンヨー)	
		Q211	2SJ181L	2	ルネサス	
		Q214	2SK1152L	2	ルネサス	
		Q215	2SK216	2	日立	
	ダイオード	Q216	2SJ79	2	日立	
		D201	5.6V	2	—	ツェナー
		D202~D204	E-501	6	セミテック	CRD
	ダイオード	D205~D207	LT8001P	6	—	赤色LED
		—	—	—	—	—
		—	—	—	—	—
	小型放熱器	—	20×20×25mm	4	—	
	Cuキャップ	—	φ10×8mm	4	—	特注品
	プリント基板	—	—	2	—	特注品
	アンプカバー	—	TD-4-6-3	2	タカチ電機工業	
	コネクタ	—	B3P-VH	4	JST	
	—	—	B2P-VH	4	JST	
電源部 (プリント基板)	抵抗	R301ほか	RP-24C	26	ニッコン	
		R304, R309	B5kΩ	2	—	25回転ポテンシオメーター
	コンデンサー	C301, C302, C305, C305	470μF/160V	4	—	電解コンデンサー
		C303, C307	100μF/16V	2	—	電解コンデンサー
		C304, C308	47μF/160V	2	—	電解コンデンサー
		C309	100μF/50V	1	—	電解コンデンサー
		C310	47μF/50V	2	—	電解コンデンサー
		Q301	2SC4793	1	東芝	
	トランジスター	Q302~Q304, Q310	2SC3503	4	(サンヨー)	
		Q305	2SA1837	1	東芝	
		Q306~Q308	2SA1381	3	(サンヨー)	
		Q309	2SC1815	1	東芝	
		Q311	2SA1015	1	東芝	
	ダイオード	D301~D304, D311, D312	30GF860	6	—	
		D305, D306, D308, D309	E-501	4	セミテック	CRD
		D307, D310	6.2V	2	—	ツェナー
	電源ランプ	D313~D305	1S2076A	3	—	
	プリント基板	D316	—	1	—	2色LED (赤/緑)
	小型放熱器	—	20×20×25mm	2	—	特注品
	コネクタ	—	B3P-VH	4	JST	
	—	—	B2P-VH	1	JST	
筐体関係	筐体シャーシ	—	—	1	エヌテクノロジ	特注品
	電源トランス	—	(1)75V-0-75V 0.4A (2)18V-0-18V 0.2A	1	—	Rコア 特注品
	ロータリスイッチ	SW201	32NEG1-2-6 32NEG2-4-6	1 1	セイデン	
	ボリューム	—	RK501.100kΩ	1	アルプス電気	特注品
	シールド線	—	—	1	モガミ電線	特注品
	ツマミ	—	—	3	—	特注品
	電源スイッチ	—	DS-680	1	ミヤマ電器	
	ヒューズホルダー	—	—	1	サトーパーツ	
	入出力端子	—	ON-15	12	音	RCA
	出力端子	—	ON-24	2	音	RCA
	GND端子	—	3P	1	—	
	100Vインレット	—	—	1	—	
	アルミ脚	—	—	4	—	特注品

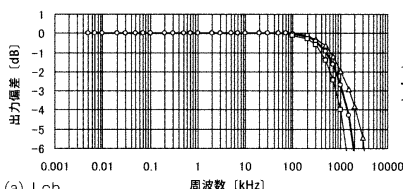


(a) フラットアンプ

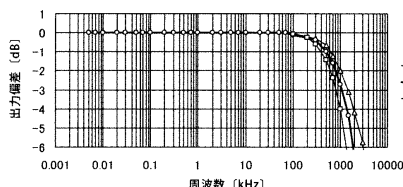


(b) イコライザーアンプ

〔図22〕 オープンループゲイン

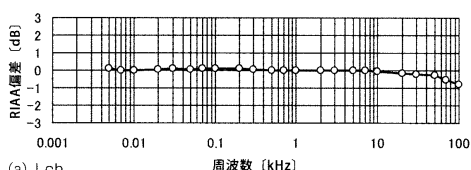


(a) Lch

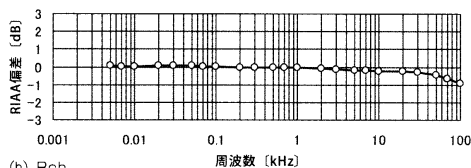


(b) Rch

〔図23〕 フラットアンプの周波数特性



(a) Lch



(b) Rch

〔図24〕 RIAA 偏差

100k Ω ($R_c \ll r_c$) の抵抗器を接続すれば、オープンループゲインが実測値 $A_c = 58\text{dB}$ (100Hz) であり、初段 FET (2SK43) の $g_m \div A_c / R_c = 7.6\text{mS}$, $r_c = A / g_m = 26\text{M}\Omega$ (100Hz), r_c の容量成分がおおよそ 15pF と求められる。低域での r_c は非常に高く、 r_c の容量成分は非常に小さい。ここに、本機 (1 段増幅) の 1 つの大きな特徴がある。

イコライザーアンプのオープンループゲインを図 22 (b) に示す。イコライザーアンプの仕上がりゲインアップに合わせて、初段 FET にはフラットアンプの初段 FET よりも若干高い g_m の FET (2SK117) を用いたので、低域 (100Hz) でのオープンループゲインが 110dB に増えている。

イコライザーアンプでは、低域 (100Hz) から高域 (10kHz) まで、ほぼ同程度の負帰還量 (およそ 50dB) となっている。

(b) 周波数特性, RIAA 偏差

フラットアンプの周波数特性を図 23 に示す。ボリュームを最大とし、入力 LINE $\rightarrow$ PRE OUT で測定した。ゲイン 14dB (L) 時に DC $\sim$ 1.5MHz (-3dB)、ゲイン 20dB (M) 時に DC $\sim$ 1MHz (同)、ゲイン 26dB (H) 時に DC $\sim$ 800kHz (同) である。十分に広い周波数特性となっている。ただし、実使用時には、ボリュームが中間の位置にあるので、アンプ入力部シールド線の容量などによって高域が幾分落ちる。

イコライザーアンプの RIAA

偏差を図 24 に示す。プリント基板単体で測定した。発振器から逆 RIAA を通して PHONO 入力して測定しているので、その誤差も含まれている。可聴帯域 (20Hz $\sim$ 20kHz) にて、おおむね $\pm 0.2\text{dB}$ 以内の問題ないレベルになっている。

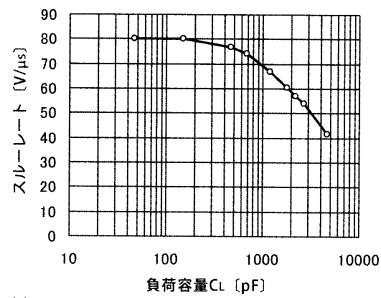
(c) スルーレート

フラットアンプのスルーレートはおおよそ $80\text{V}/\mu\text{s}$ である。通常は、問題ない値であろう。接続ケーブルなど負荷容量 C_L が大きいとスルーレートは下がる (図 25 (a))。

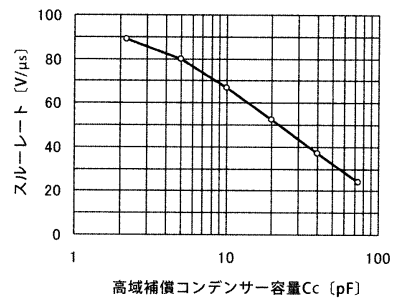
本機の場合、基本的なスルーレートの値は、初段および I/V 変換部の動作電流 (1mA) と高域補償コンデンサの容量 C_c (C_{102} , 前号の図 9) に影響され

高出力電圧/低ドリフト DCプリアンプ

[図25] フラットアンプのスルーレート

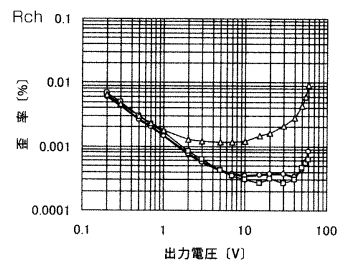
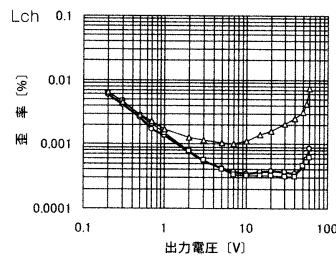


(a) C_L とスルーレート

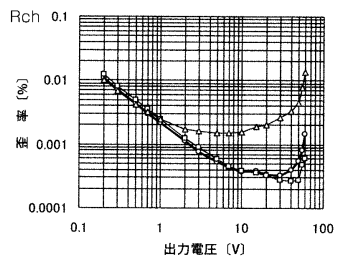
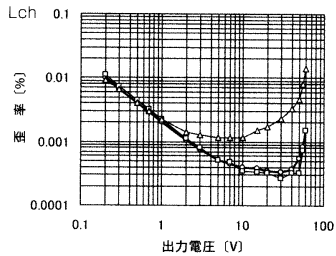


(b) C_c の値とスルーレート

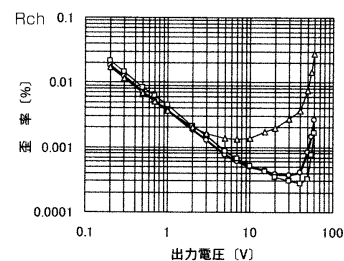
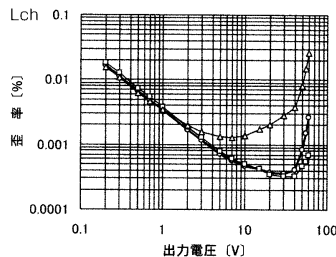
(a) ゲイン14dB, L



(b) ゲイン20dB, M



(c) ゲイン26dB, H



[図26] フラットアンプの歪率

る(図25(b)). ちなみに、出力28V(8Ω, 100W相当)、周波数100kHzのサイン波形を再現するために必要なスルーレートは25V/μs以上である。本機に接続する電圧ゲイン0dBパワーアンプのスルーレートが十分に大き

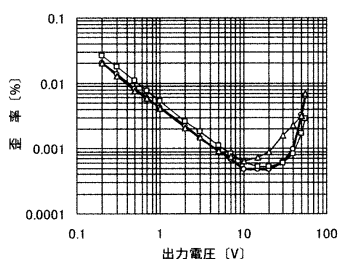
い場合は、本機のスルーレートがスピーカー駆動のスルーレートになる。

(d) 歪率特性

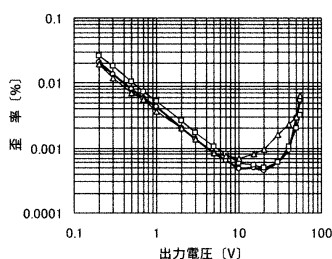
図26に、ゲインレベルが14dB, 20dB, 26dB時のフラットア

ンプの歪率を示す。ボリユームを最大とし、入力LINE→PRE OUTで測定した。フラットアンプの最大出力電圧は60Vである。

図27に、イコライザーアンプの歪率を示す。入力PHONO→REC OUTで測定した。イコラ

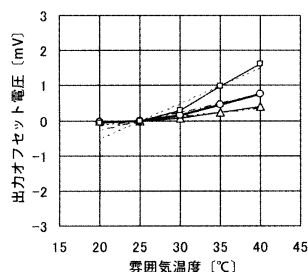


(a) Lch

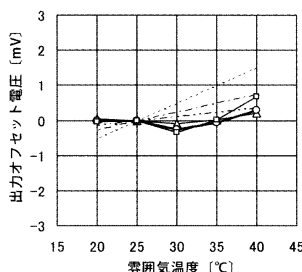


(b) Rch

【図27】 イコライザアンプの歪率



(a) Lch



(b) Rch

【図28】 温度ドリフト

イザーアンプの最大出力電圧は58Vである。PHONO 最大許容入力380mV (1kHz) であり、適正なレベルになっている。いずれも十分に低い歪率であり、一部では測定限界に達している。

(e) 温度ドリフト

図28に雰囲気温度を変えたときの、フラットアンプ基板単体の

出力オフセット電圧を示す。同図には、あわせて入力換算温度ドリフト $5 \mu\text{V}/^\circ\text{C}$ に対応する線もプロットしてある。基板単体の温度ドリフトは、汎用FET入力オペアンプICに迫る低いレベルである。

図29に、フラットアンプゲインを20dB (M) とした場合の、PRE OUTでの出力オフセット

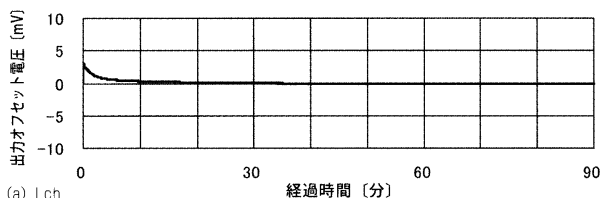
電圧の電源オン後時間推移例を示す。電源オン直後におよそ3mVの出力オフセットがあり、2、3分後に1mV以下となり、約30分程度で0mV付近に安定する。

筐体の天板を開閉したときの変化は0.1mV程度である。ゲイン14dB (L) では約半分のオフセットになり、また、ゲイン26dB (H) では約2倍になる。電圧ゲイン0dB パワーアンプの使用を想定すれば、まったく問題ない出力オフセットである。

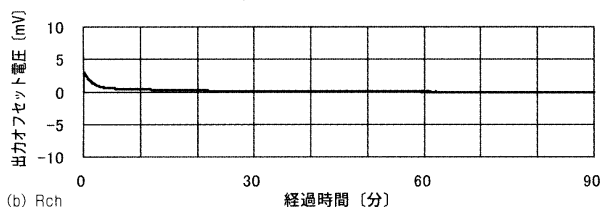
参考として、フラットアンプ基板の机上での温度上昇測定結果を図30に示す。アンプカバーがほぼ均一温度になっており、そのまわりに数℃の温度勾配があることがわかる。

終わりに

狙いどおり、本機は電圧ゲイン0dB パワーアンプとの相性がよい。同パワーアンプ接続による試聴では、パワーアンプの特質（既



(a) Lch



(b) Rch

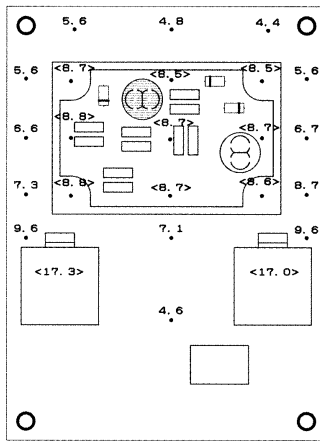
【図29】 出力オフセットの時間推移例 (ゲイン20dB, M)

発表の記事で紹介
介済)がよりいっ
そう明瞭になる
ようだ。

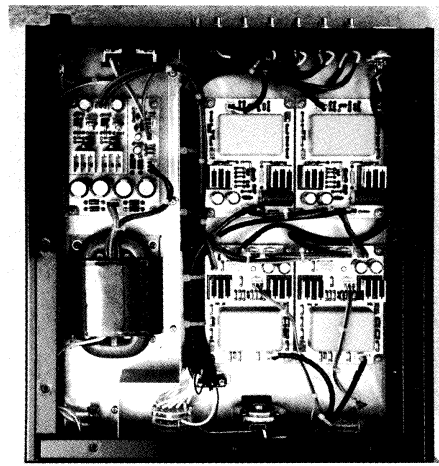
あえて音質の
特徴を挙げれば、
前記ハイブリッ
ドプリアンプと
比較して、ごく
わずかな、LINE
入力クリアな
音質傾向になり、
またPHONO入
力では低域の歯
切れが増した印
象をもった。

前記ハイブリッドプリアンプでは、電圧ゲイン0dBパワーアンプに接続したとき、PHONO入力でのゲイン不足を感じる事がまれにあった。本機ではゲイン配分を見直し、また、フラットアンプのゲイン切り換えがスピーディに変更できるように、スイッチをフロントパネルに移動したことで、それも改善された。

本稿では特別触れなかったが、ボリュームにはアルプス製のRK501を採用した。Lch/Rchの相互偏差が気にならず、特に小音量での操作感がきわめてよい。仕様では、最大減衰量が120dBにも及ぶ、ゲインが大きすぎて困る

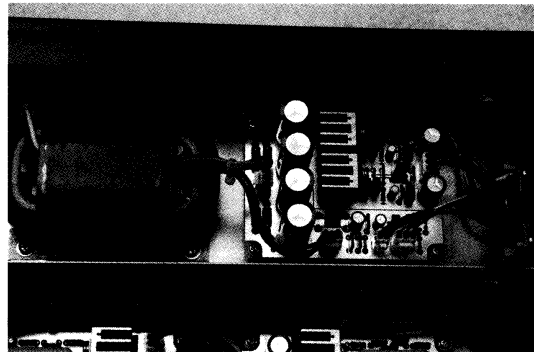


【図30】フラットアンプ基板の温度上昇



左側に電源トランスと基板を置き、リアパネルに近いほうにICライザー基板、その手前にフラットアンプ基板を配置。電源部とアンプ部品の間には仕切り板を入れている

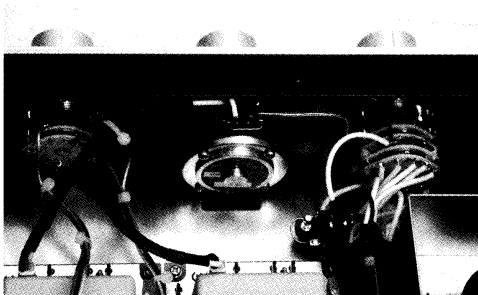
電源基板の
制御用トラン
ジスタには、小型
の放熱器を取
り付ける。電
源トランスは、R
コア型を使用



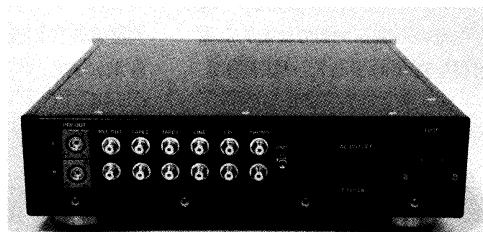
場合には重宝しそうだ。

本機の低ドリフト化技術の応用
範囲は広い。動作点変動を極小に

した諸DCアンプ等々、多くに応
用可能であろう。



フロントパネル内側の配線のようす。左より、ゲインL・M・H切り換え、ボリューム、入力セレクター



リアパネルのようす。左からプリ出力、REC OUT、TAPE2、TAPE1、LINE、CD、PHONO入力端子。右側はACアウトレット、ヒューズホルダー、IECコネクターなどの電源系を配置している