

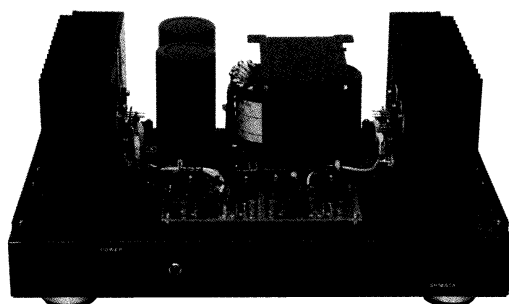


カレントミラー回路を用いた対称動作型出力段構成

電圧ゲイン0dB

MOS-FET 40Wパワーアンプ [設計編]

柴田由喜雄 SHIBATA Yukio



ゲイン0dBパワーアンプの出力段に、とかく歪みが大きいといわれがちなMOS-FETの採用を試みた。従来のコンプリメンタリー MOS-FETの歪みを再検討し、ドライブ電圧増幅機能を付加した MOS-FET 混成インバーテッドダーリントン出力とすることで、合成 g_m を大きくして歪みを下げることができた。さらに、カレントミラー回路を用いた対称動作型出力に変更して、低アイドリング電流/低出力時の歪みを改善。中低域が締まり、派手さの薄い高域でナチュラルな音質を得た。

はじめに

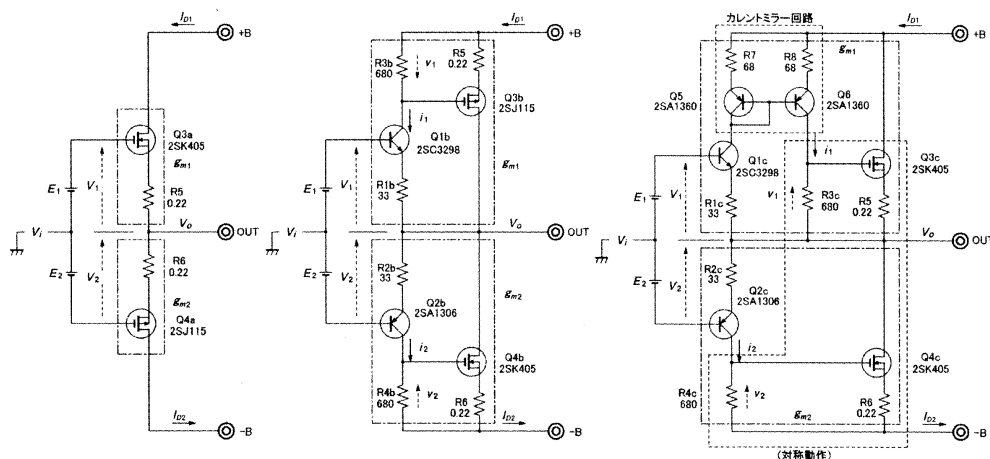
これまで、ゲイン0dBパワーアンプの出力段には、コンプリメンタリーのバイポーラートランジスタを用いてきた。バイポーラートランジスタを用いれば、比較的容易に高性能なパワーアンプ

に仕上げることができたからである。

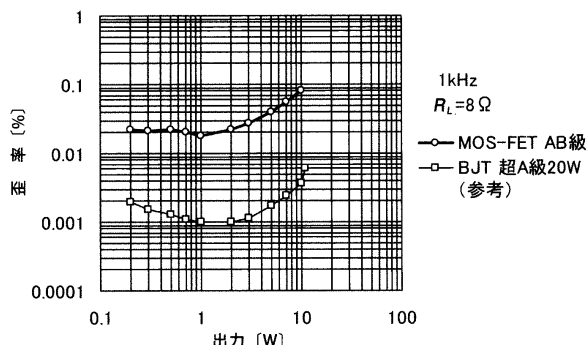
本機では、ゲイン0dBパワーアンプの出力段に、とかく歪みが大きいといわれがちな MOS-FET の採用を試みた。MOS-FET には相変わぬ魅力があり、さらにうまく使いこなせないもの

か検討の余地があった。

本稿では、従来のコンプリメンタリー MOS-FET の歪みを再検討し、MOS-FET のドライブ電圧増幅機能を内包したインバーテッドダーリントン出力とすることによって、合成 g_m を大きくして歪みを下げられること、さらに、



〔図 1〕 出力段の実験回路



【図2】 MOS-FET ソースフォロワー出力の歪率

それを対称動作型出力に変更することによって、AB 級動作における、低アイドル電流 / 低出力時の歪みが改善しやすくなることについて触れる。

まず、図 1 の実験回路を基に説明する。

MOS-FET ソースフォロワー出力の歪み

筆者は、MOS-FET パワーアンプを測定用パワーアンプとして使用している。少々荒い使い方をしても壊れにくい、タフなアンプである。しかし、出力段を単にコンプリメンタリー MOS-FET ソースフォロワーとした場合、経験上ではその出力段の歪率はやや大きく、電圧増幅段を設けて負帰還を必要とする。たとえば、出力段電源 $\pm B = \pm 20V$ としたときの MOS-FET ソースフォロワー実験回路 (図 1 (a)) の歪率測定結果例を図 2 に示す。電源を $\pm B = \pm 20V$ 、アイドル電流値 I_{D0} を $0.6A$ (AB 級) としている。参考として、併せてバイポーラトランジスタ超 A 級 20W パワーアンプ (2 段ダーリントン、終段無帰還、 $\pm B = \pm 22V$ 、本年 6、7 月号掲載) の歪率も示してある。

バイポーラトランジスタの場合、B 級で MOS-FET と同等

あるいはそれ以上であった歪率がアイドル電流を増やすことで、とりわけ超 A 級とすることによって、MOS-FET の 1/10 以下まで下がる。もともと、0.1% 以下の歪率であれば、実用上は問題ないレベルかもしれないが、以下、少々強引に (必要以上に) この差を縮めようというのが主旨である。

既発表の記事 (AB 級 85W パワーアンプ、本誌 2016 年 6 月号) において、歪み電圧の変化分 ΔV_ε は、 Ka を定数、合成 g_m を g_m 、負荷を R_L (8Ω) として、

$$\Delta V_\varepsilon = Ka \cdot \Delta V_i - 1 / (1 + g_m \cdot R_L) \cdot \Delta V_i$$

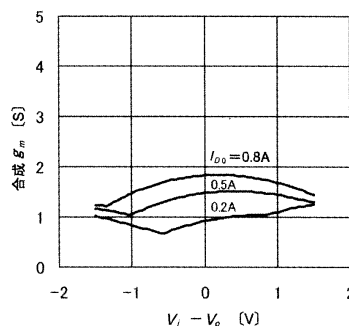
と表せることを述べた。歪み係数 D を導入して、

$$D = Ka - 1 / (1 + g_m \cdot R_L)$$

$$\Delta V_\varepsilon = D \cdot \Delta V_i$$

となる。上式より、合成 g_m を大きくし、合成 g_m の変化を小さくすれば、歪みは少なくなることになる。

いま、図 1 (a) のように、出力段を N チャンネル側の g_{m1} 、P チャンネル側の g_{m2} で表すことにする。電圧 / 電流などの記号は、図示のとおりである。 $g_{m1} + g_{m2} =$ 合成 g_m であり、 g_{m1} や g_{m2} は $g_{m1} = \Delta I_{D1} / \Delta V_1$ 、 $g_{m2} = -\Delta I_{D2} / \Delta V_2$ から実験的に求めることができる。その際、



【図3】 MOS-FET ソースフォロワー出力の合成 g_m (実測値)

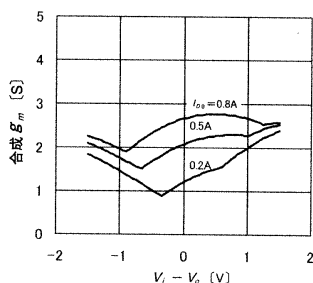
$V_i = 0$ とし、 E_1 、 E_2 を変えて I_{D1} 、 I_{D2} を測定し、 V_{DS} はほぼ $10V$ 一定としている ($\pm B = \pm 10V$)。

図 3 に MOS-FET ソースフォロワー (図 1 (a)) の合成 g_m 測定結果例を示す。合成 g_m は、測定した $V_1 \sim g_{m1}$ 特性、および、 $(-V_2) \sim g_{m2}$ 特性を、それぞれ、アイドル電流値 I_{D0} に対応して $-E_1$ 、 E_2 だけシフトさせて、作図にて合成 (加算) したものである。なお、実動作においては V_i に応じて g_m 測定では一定とした V_{DS} が変化する点は留意していただきたい。各カーブの変極点が A 級と AB 級の境目になる。

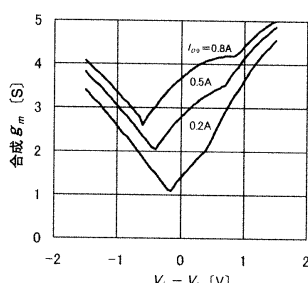
バイポーラトランジスタエミッターフォロワーと比べると、MOS-FET ソースフォロワーの合成 g_m は概して低い (およそ数分の 1)。これが MOS-FET ソースフォロワーの歪率が大きい第 1 の理由と思われる。

混成インバーテッドダーリントン出力による合成 g_m アップ

合成 g_m アップには、出力段の平行接続という手法も考えられるが、全ドレイン電流 (アイドル電流) を同じとした場合、



(a) 終段2パラレル接続



(b) 終段4パラレル接続

〔図4〕 MOS-FETのパラレル接続と合成 g_m (計算値)

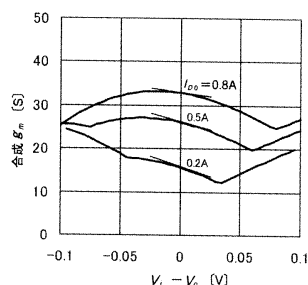
合成 g_m は思うように(すなわち)上がらない(図4)。ここで、図1(b)のインバーテッドダーリントン出力とすれば、不足がちな合成 g_m を大幅に上げることができる。特に、図1(b)では、バイポーラートランジスタとMOS-FETの混成としている。Q_{1b}、Q_{2b}によって電圧増幅してから、MOS-FETのゲートを電圧ドライブするのである。+側において、 g_{m1} はおおよそ $R_{3b} / (R_{1b} + r_e) \div 17$ 倍に増大する。-側の g_{m2} も同様に、おおよそ $R_{4b} / (R_{2b} + r_e)$ 倍に増大する。

図5に、図1(b)の合成 g_m 測定結果例を示す。ほぼ前述のように、合成 g_m が大幅に増大している。そして、合成 g_m の増大に対応して、歪率がおおよそ1/10程度に減少する(図6)。大きな合成

g_m は高いダンピングファクター($DF \div 8 / (1/g_m)$)をも期待できる。

しかし、図6より、最良の状態とするのに必要なアイドリング電流値は0.8A以上であり、かなり大きい。特に、低アイドリング電流/低出力時の歪率増大が気になる。これは図5にて、アイドリング電流が少ないと低出力時($V_i - V_o = 0$ 付近)の合成 g_m 接線が大きく傾く(一定でない)ためと考えられる。歪み係数 D もかなり荒れたものとなる(図7)。いわゆる対称動作をしていない、これが、歪率が大きい第2の理由と思われる。

これは、明らかにNチャンネルとPチャンネルの特性差によるものと認められる。単にコンプリメンタリーといっても、小電流



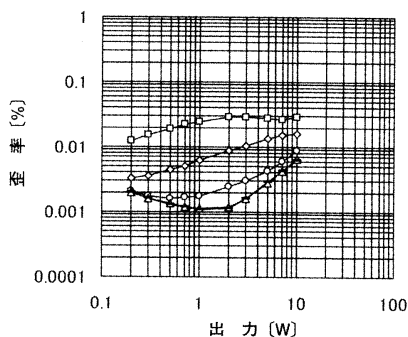
〔図5〕 混成インバーテッドダーリントン出力の合成 g_m (実測値)

から大電流まで、特性が完全に一致するするとは考えにくい。よって、2SK405/2SJ115に限らず、MOS-FET コンプリメンタリー出力では、大方この程度の傾向に収まると推測される。

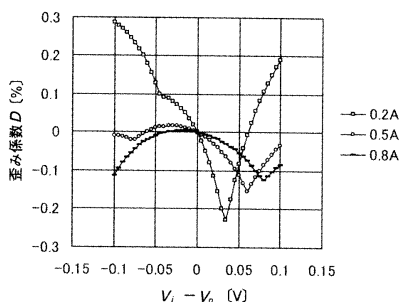
カレントミラー回路を用いた対称動作型出力

混成インバーテッドダーリントン出力を変形して、カレントミラー回路を用いて、同極性のMOS-FET ペアを用いた「対称動作型出力」(筆者呼称)にすると(図1(c))、合成 g_m を大幅に上げつつ、きれいな対称動作とすることができる。

図1(c)において、Q₅、Q₆からなるカレントミラー回路の出力電流 i_1 は、 R_{3c} によって電圧 v_1 に変えられて、MOS-FET (Q_{3c})のゲートを電圧ドライブする。こ

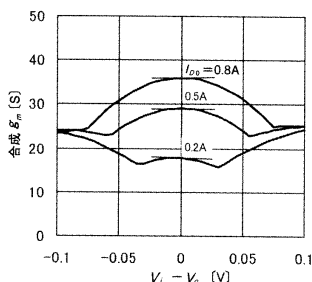


〔図6〕 混成インバーテッドダーリントン出力の歪率

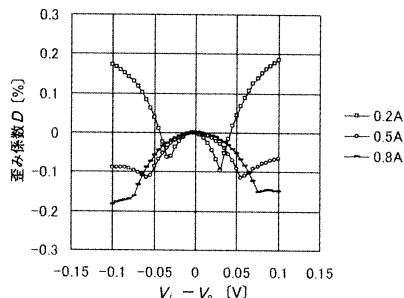


〔図7〕 混成インバーテッドダーリントン出力の歪み係数 D

電圧ゲイン0dB MOS-FET 40Wパワーアンプ



〔図8〕対称動作型出力の合成 g_m (実測値)



〔図9〕対称動作型出力の歪み係数 D

ここで、 Q_6 のコレクター出力抵抗はきわめて大きいので、 Q_{3c} のゲートおよびソースはフローティングされた形で駆動され、実質ソース接地として動作する。

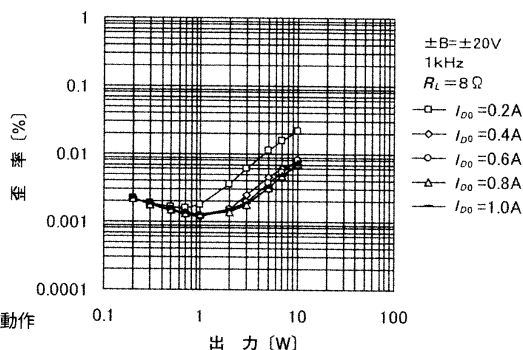
Q_{3c} ソース (≒出力) の対GND電位は出力電圧が R_{1c} 、 R_{2c} を経て、 Q_{1c} 、 Q_{2c} のエミッターにフィードバックされ、その結果 V_i を基準にして維持される。一側は、図1(b)と同じソース接地動作である。動作時の Δi_1 は ΔI_{D1} に比べ小さい。よって、 Q_{3c} と Q_{4c} は、同じソース接地動作として、ほぼ対称動作することになる。

図8、9に対称動作型出力(図1(c))の合成 g_m 測定結果例、歪み係数 D を示す。大きな合成 g_m に加え、きわめて良好な対称動作になっている。アイドリング電流値 I_{D0} が少なく済み、低出力時歪率が改善しやすくなる(図10)。

以上の実験回路による検討から、MOS-FETのAB級動作を主体とした本機では、図1(c)の対称動作型出力を採用することにした。

本機のアンプ部回路

図11にアンプ部回路を示す。アンプ部は Q_{101} (2SJ78)、 Q_{102} (2SK215)のソースフォロワーによる初段バッファ部と前述の対称動作型出力部からなる。

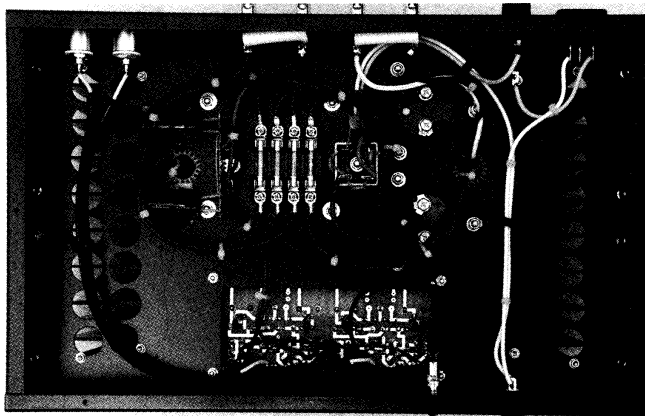


〔図10〕対称動作型出力の歪率

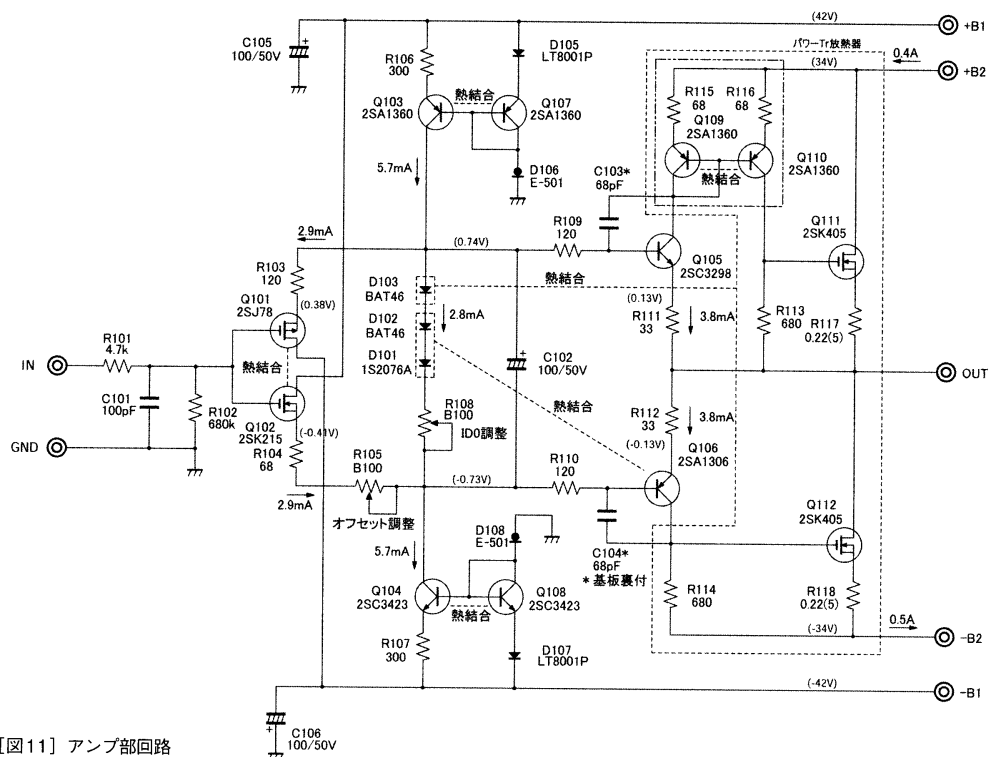
初段バッファ部回路構成は、前記AB級85Wパワーアンプあるいは前記超A級20Wパワーアンプとほぼ同じである。 Q_{103} 、 Q_{107} (2SA1360)、および Q_{104} 、 Q_{108} (2SC3423)からなる定電流回路は、赤色LED (D_{105} 、 D_{107} 、

LT8001P)を用いて電流を規定している。電流値は(1.7~1.8V)/300 Ω (R_{106} 、 R_{107})である。

D_{103} (BAT46)は、終段MOS-FETの温度補償用ダイオードであり、 D_{101} (1S2076A)および D_{102} (BAT46)は、トランジスタ



シャシーはリードのMK-400を使用。アンプ部基板の下にあげた角孔は、抵抗値などの微調整のための部品交換に便利。左右には、放熱器用の空気孔をあけている



〔図11〕 アンプ部回路

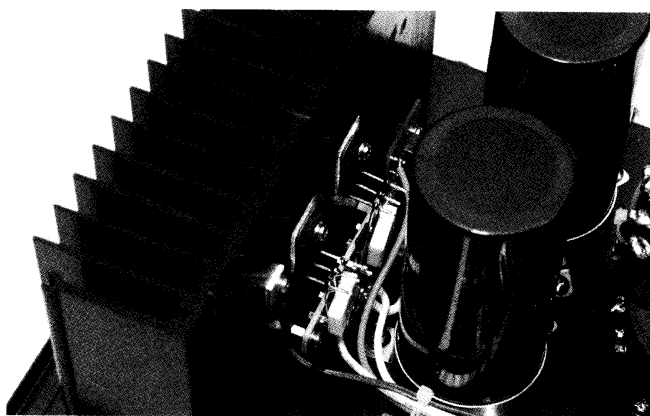
ーQ105 (2SC3298) およびQ106 (2SA1306) の温度補償用ダイオードである。終段MOS-FET自体の温度補償は、わずかの量で済む。

動作電流は、初段Q101、Q102が2.9mA、温度補償ダイオードD101～D103が2.8mAとした。±0.5mA以内であれば、特別問題は生じない、それらの合計電流

5.7mAは定電流回路から供給される。初段Q101、Q102と温度補償ダイオード群相互の電流バランス調整(等配分)は、Q105とQ106のベース間電圧(1.47V、アイドリング電流に対応)を維持するようにして、初段Q101、Q102側の電流増減(抵抗R103～R105の値調整)によって行っている。

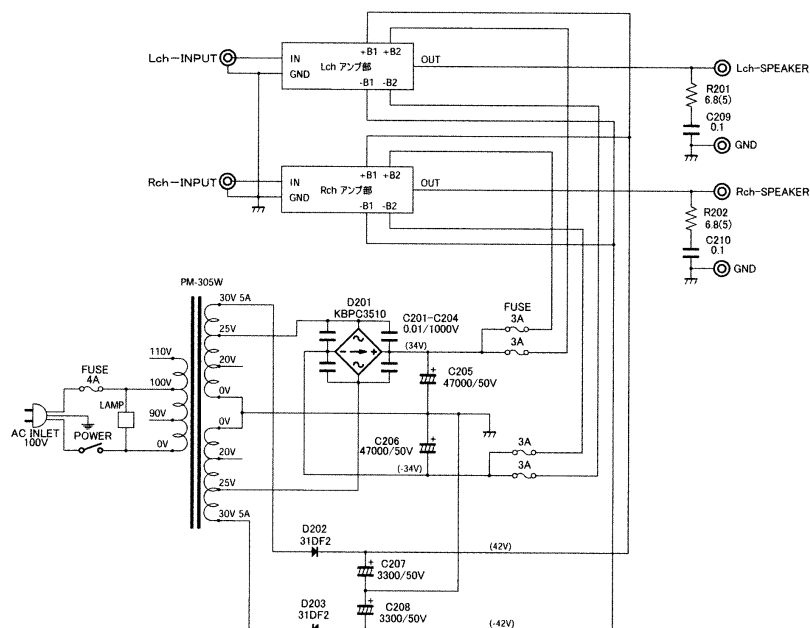
対称動作型出力部はコンプリメンタリーのQ105 (2SC3298)、Q106 (2SA1306) で電圧増幅し、Q109、Q110 (2SA1360) のカレントミラー回路で+側の電流を反転している。

終段MOS-FETのQ111、Q112 (2SK405) はNチャンネルを用いている。参考として、一側にNPNトランジスター(たとえば2SC3423) からなるカレントミラー回路を設ければPチ



Lチャンネル側の出力段ブロックの配線。放熱器には、2個の2SK405と温度補償用ダイオードを取り付け、2個の角型抵抗の0.22Ωはラグ板を利用して配線。B電源平滑用電解コンデンサーは、大容量の47000μF/50Vを使用している

電圧ゲイン0dB MOS-FET 40Wパワーアンプ



〔図12〕 全体回路

チャンネルMOS-FET (たとえば2SJ115) が使える。ただし、いずれのMOS-FETでも、アイドリング電流を安定化するために、使用するMOS-FETに応じて適正な温度補償を施す必要がある。

全体構成

本機の全体回路を図12に示す。出力部供給用電源 $\pm B_2$ ($\pm 34V$)、初段供給用電源 $\pm B_1$ ($\pm 42V$)はいずれも簡素な構成として、整流回路直後から供給する。実験回路では $\pm B = \pm 20V$ であったが、最終回路ではパワーを上げるために $\pm B_2$ の電圧を上げている。 $\pm B_1$ は、初段定電流回路の電圧ロスなどを考慮して、 $\pm B_2$ よりも数V以上高くする必要がある。

電源トランスには、産業用と称する化粧カバーのないEI型トランス(ノグチトランス販売PM-305W)を使用した。使用した結果では、若干磁束のリーケージが大きい感触を持った。ただ、

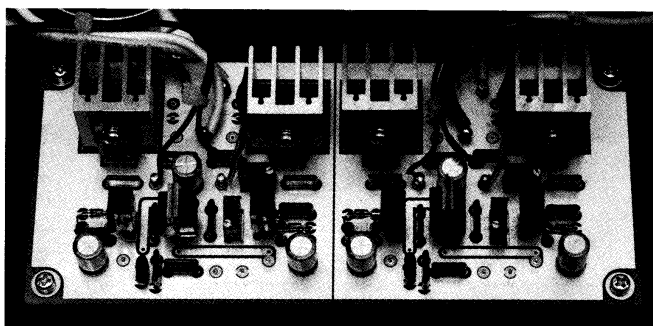
化粧カバーは、しばしば大電流で共振ノイズ(ビーンといった音)を発生するので、むしろないほうが良い場合がある。

$\pm B_2$ の電解コンデンサーには、やや大きめの47000 μF を使用した。整流ブリッジD201(KBPC3510)には、スパイクノイズを抑えるために、セラミックコンデンサーC201~C204(0.01 μF)を取り付けている。

$\pm B_2$ 経路には、3Aのヒュー

ズを入れる。スピーカー出力のショート時などに、終段MOS-FETに過大電流が流れてMOS-FETが破壊するのを防ぐためである。3Aヒューズの抵抗は、実測0.08 Ω 以下であるので、出力に対する影響は小さい。

スピーカー出力端子には6.8 $\Omega + 0.1\mu F$ のCRを付ける。超高频周波数における不安定性を未然に防ぐものである。次号では、製作、特性について解説する。



アンプ部プリント基板は本年6、7月号掲載の「超A級 無帰還20W DCアンプ」のものを流用している。初段は、MOS-FETコンプリメンタリーソースフォロワーで、混成インバーテッドダーリントン出力段をドライブしている

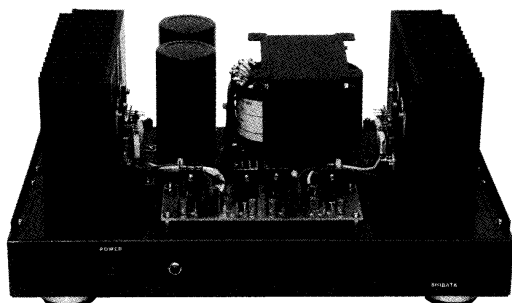


カレントミラー回路を用いた対称動作型出力段構成

電圧ゲイン0dB

MOS-FET 40Wパワーアンプ [製作編]

柴田由喜雄 SHIBATA Yukio



今回は、MOS-FET 混成インバーテッドダーリントン出力段とカレントミラー回路の対称動作型出力アンプの製作について解説。ケースはカバー付きのリードMK-400を使用し、電源トランス、電解コンデンサー、大型放熱器に取り付けた出力Tr段、アンプ部基板などを収納した。温度補償ダイオードを放熱器に取り付けているのでアイドリング電流、出力オフセット電圧も安定している。中低域が締まり、刺激的ではない高域を伴ったナチュラルな音質で、総じて、よい仕上がりである。

製作

シャーシは、リードのMK-400を用いた、やや剛性面で劣るものの、その分加工しやすい。ボンネットが付属しているのは重宝する。

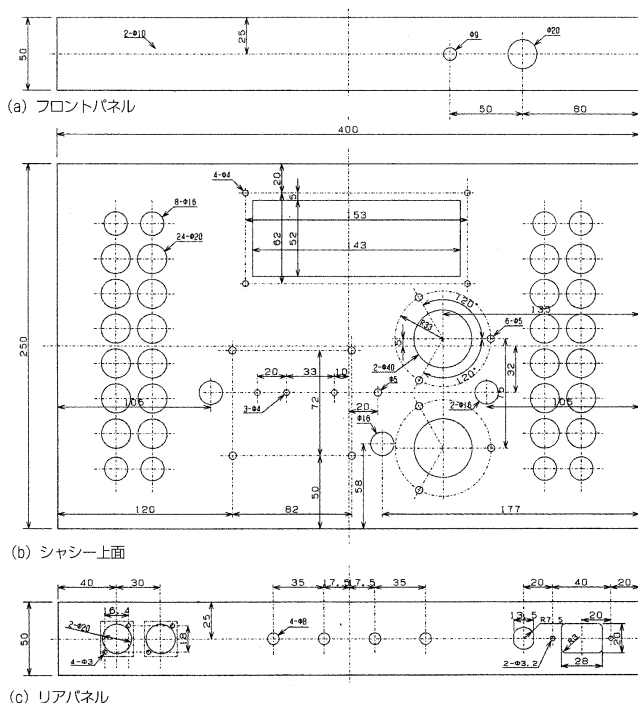
図13(前号より連番)にシャーシ加工図を示す。シャーシ加工は、まず油性ペンなどでシャーシに直接孔あけ部分を、ものさしや直角定規、円定規を用いながら描いておく。

ドリル加工の中心は、ドリルの刃先が滑らないように正確にポンチ打ちをする。小径の丸孔加工は、ドリルで加工する。入力RCAジャック(CN-24)、スイッチ取り付け孔、放熱用丸孔などの加工にはφ20mmのホールソーを用いた。

電解コンデンサーの丸孔のφ40mm加工は、ドリル装着のメタルカッターを用いた。プリント基板下部の四角孔は、電動ジグソーを用いると容易にかけられる。

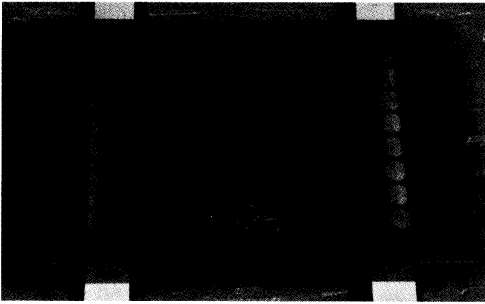
丸孔以外は、適宜ハンドニブラやヤスリなどを用いて加工する。

孔加工後、サンドペーパーで軽く磨いた後、色の付いたアクリルラ

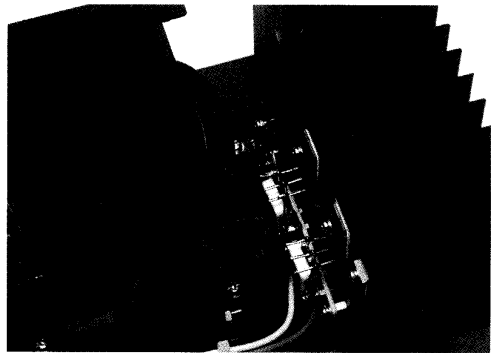


〔図13〕シャーシ加工図

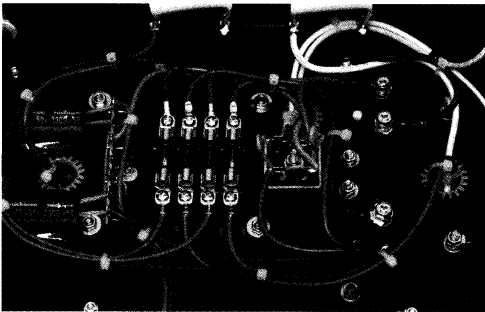
電圧ゲイン0dB MOS-FET 40Wパワーアンプ



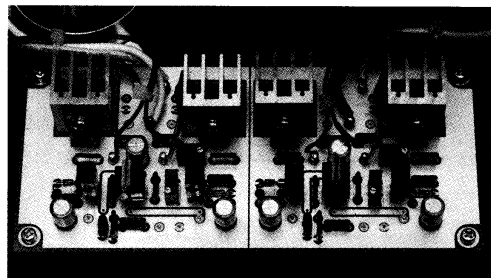
〔写真1〕 穴あけ加工が終わったらサンドペーパーで軽く磨き、色付きアクリルラッカーで再塗装した



〔写真2〕 放熱器に付けた右チャンネル側のMOS-FET、ソース抵抗、温度補償用ダイオードまわりの配線の様子



〔写真3〕 整流ダイオードKBPC3510、保護用に入れた4連ヒューズまわりの配線



〔写真4〕 部品面には、左右チャンネル合計10か所にピン（サンハヤト SST-2-1）を圧入してリード線で配線する

ッカーズプレーで再塗装した（写真1）。

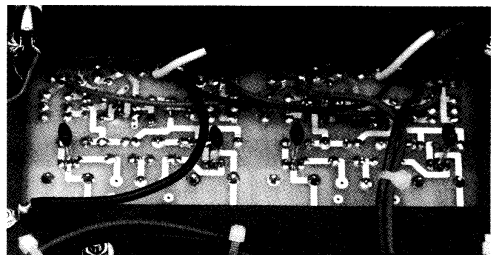
プリント基板下部に設けた四角孔は、予備実験で決めた抵抗値に微調整の必要が生じた場合、部品を交換するスペースである。余分な加工と思われるかもしれないが、配線や動作チェックなどにも非常に便利な孔である。

本機では、MOS-FET 放熱器上でも配線処理をしているので（写真2と前号 p.104 の写真参照）、シャシー内部の配線は、それほど多くない（前号 p.103 の写真参照）。

±B₁ 電源部は、簡単な整流回路のみであるので、シャシー内のラグ板によって構成している（写真3）。電解コンデンサーはぐらつくので、シリコンゴムを介してシャシーに接着している。

アンプ部配線には、プリント基

〔写真5〕 アンプ部基板の下は四角く孔をあけ、配線や調整が楽にできるようにしている

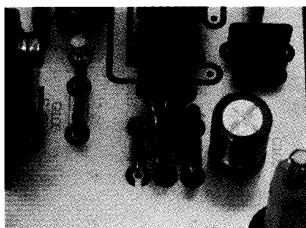


板を用いている（写真4、5）。使用したプリント基板は、本年6、7月号の「超A級20W パワーアンプ」で製作したものを流用している。ガラスエポキシ両面基板であり、パターンは割愛する。部品装着において、+側および-側の定電流回路部分を変更した（写真6、7）。銅箔パターン変更の必要はなく、そのまま使える。

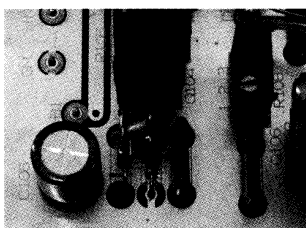
プリント基板には、随所にピン（サンハヤト SST-2-1）を圧入

しておく。部品面には、温度補償配線用に片チャンネル2か所、Q₁₀₅とQ₁₀₆のコレクター、出力中点配線用に片チャンネル3か所、左右チャンネル合計10か所のピンを圧入する。

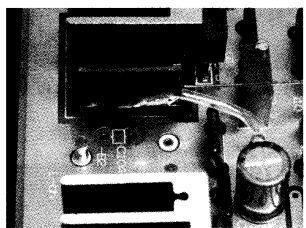
裏面には、GND/入力配線に片チャンネル2か所、±B₂ 配線に片チャンネル2か所、左右チャンネル合計8か所のピンを圧入する。それらのピンを用いて MOS-FET 放熱器や電源間などの配線



【写真6】 パターンの変更はないが、一部配線を変更した+側定電流の配線



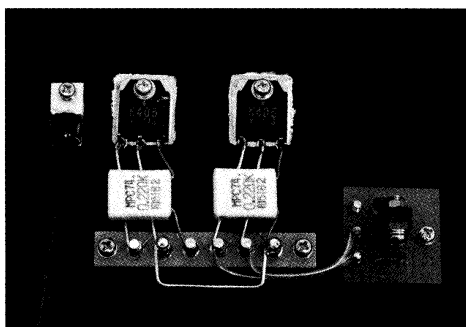
【写真7】 配線を変更した一側定電流の配線



【写真8】 Q106 (2SA1306) の小型放熱器には、温度補償用のダイオード (D101, D102) を密着する

を行う。

初段のQ101, Q102の V_{GS} 差は出力オフセット調整に影響する



【写真9】 出力段放熱器には、パワー対称動作型出力部のカレントミラー回路と温度補償ダイオードを取り付ける

ので動作点で小さいほうが良い。Q101, Q102は、動作点で $V_{GS} \approx 0.4V$ 程度のもを使用している。出力オフセット調整とアードリング電流値調整(R_{108} , $B100\Omega$)は相互に関係しているの、繰り返し調整する必要がある。

温度補償用ダイオードD101, D102は、小さく切断した片面ユニバーサル基板で組み上げ/エポキシ樹脂モールドした後、Q106の放熱器側面にエポキシ接着剤で接着する(写真8)。

温度補償用ダイオードD103は $10 \times 20 \times t2mm$ のアルミ板にエポキシ樹脂で接着/モールドした後、そのアルミ板をMOS-FET放熱器にネジで取り付ける(写真9の左側)。

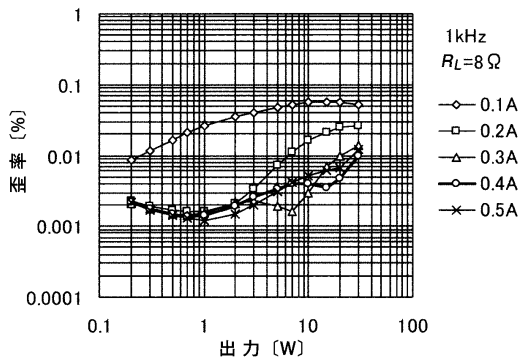
Q105とQ106の無信号時コレクター損失は120mWと小さい。

それでも、放熱器を取り付けている。これは、プリント基板を流用したこともあるが、Q105とQ106の温度を極力周囲温度に近づけることによって、アードリング電流の温度補償が楽になるからである。

対称動作型出力部のカレントミラー回路は、MOS-FET放熱器に取り付ける(写真9の右下)。孔なしのユニバーサル基板(自作基板の余り)を用いて組み上げている。

出力オフセットを最小にし、アードリング電流を安定化するためにいくつかのトランジスタは熱結合が必要である(前号参照)。初段Q101とQ102は絶縁用 $t0.5mm$ ガラスエポキシ板を挟んでエポキシ樹脂で貼り合わせる。定電流回路のQ103とQ107, Q104とQ108, およびカレントミラー回路のQ109とQ110も熱結合する。

MOS-FET放熱器には、やや大型($195W \times 55D \times 120Hmm$)の手持ちの放熱器を用いた。同程度の外形容積であれば、ほかの放熱器でも使える。アードリング電流値が $0.5A$ 以下であれば、TF-1314-A2などでも代替できる。最終的な本機の終段MOS-FETのアードリング電流値は $0.4A$ であり、無信号時のMOS-FET発熱は片チャンネルおよそ $26W$ である。実使用では、手で触れられ



【図14】 アードリング電流値 I_{D0} (0.1 ~ 0.5A) と歪率変化

電圧ゲイン0dB MOS-FET 40Wパワーアンプ

[表1] 使用部品表

使用箇所	部品	記号	型番・値	個数	メーカー	備考
アンプ部	抵抗	R101ほか	RP-24C	28	ニッコン	
		R105, R108	B 100Ω	4	—	多回転半固定抵抗
		R117, R118	0.22Ω 5W MPC74	4	福島双羽電機	
	コンデンサー	C101	100pF	2	—	ディップマイカ
		C102	100μF/50V	2	—	電解コンデンサー
		C103, C104	68pF	4	—	ディップマイカ
		C105, C106	100μF/50V	4	—	電解コンデンサー
	トランジスター	Q101	2SJ78	2	日立	
		Q102	2SK215	2	日立	
		Q103, Q107, Q109, Q110	2SA1360	4	東芝	
		Q104, Q108	2SC3423	4	東芝	
		Q105	2SC3298	2	東芝	
		Q106	2SA1306	2	東芝	
		Q111, Q112	2SK405	4	東芝	
		Q101	1S2076A	2	ルネサス	
	ダイオード	D102, D103	BAT46	4	—	ショットキーバリア
		D105, D107	LT8001P	4	シャープ	
		D106, D108	E-501	4	石塚電子	
		—	—	—	—	—
	小型放熱器	—	20×20×25mm	4	—	
	MOS-FET放熱器	—	195×55×120mm	2	—	
	プリント基板	—	(72×182mm)	1	—	(注文製作品)
	ピン端子	—	SST-2-1	18	サンハヤト	ロジック用チェック端子
電源部, ほか	コンデンサー	C201~C204	0.01μF/1000V	4	ムラタ	セラミック
		C205, C206	47000μF/50V	2	—	電解コンデンサー
		C207, C208	3300μF/50V	2	—	電解コンデンサー
		C201	KBPC3510	1	—	ブリッジ
	ダイオード	D202, D203	31DF2	2	日本インター	
		R201, R202	6.8Ω 5W	2	—	酸化金属皮膜
	抵抗	C209, C210	0.1μF/125V	2	—	フィルム
	コンデンサー	—	—	—	—	—
	トランス	—	PM-305W	1	ノグチトランス販売	
	電源スイッチ	—	125V10A	1	—	
	電源ランプ	—	100V	1	—	
	電源ヒューズホルダー	—	250V10A	1	サトーパーツ	
	ヒューズ	—	4A	1	サトーパーツ	
	100Vインレット	—	250V10A	1	—	3P
	ヒューズホルダー	—	250V10A	1	サトーパーツ	4連
	ヒューズ	—	3A	4	—	
	ラグ板	—	6P	2	—	放熱器取り付け
	ラグ板	—	1L6P	1	—	±B1
	シャシー	—	MK-400	1	リード	
	六角スベサ	—	M3-10mm	4	—	
	入力配線	—	2965	1	モガミ電線	シールド線
	入力端子	—	ON-24	2	音	RCA
	出力端子	—	ON-16	2	音	

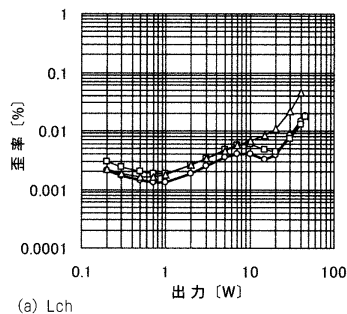
る程度の温度上昇である。

参考として、図14にアイドリング電流値を変えたときの歪率変化(Lch)を示す。本機の場合、アイドリング電流値を0.3A以上にすれば、おおむ良好な歪率特性になる。

表1に主な使用部品一覧を示す。

本機の特性

図15に周波数特性を示す。



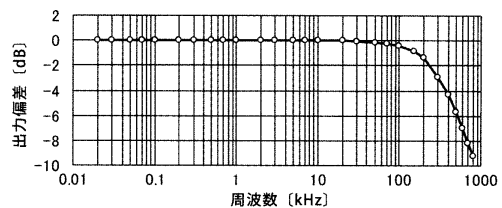
(a) Lch

[図16] 歪率特性

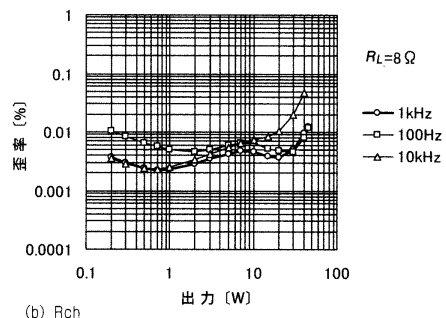
DC～300kHz(−3dB)である。入力部に設けた高域フィルター($f_c=340\text{kHz}$)が大きく作用して

いる。

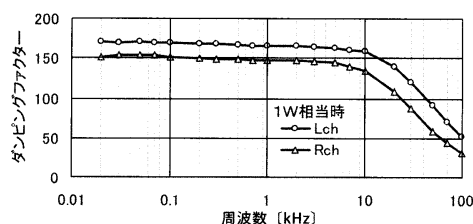
図16に歪率特性を示す。Rchにおいて、100Hzの歪率が数W



[図15] 周波数特性



(b) Rch

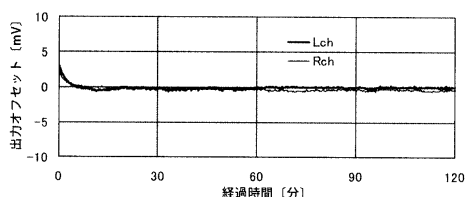
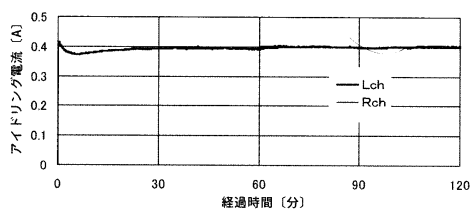


〔図17〕 ダンピングファクター特性

以下の低出力時に増大しているのは、Rchの配線が電源トランスに近く、そのノイズの影響を受けたためと思われる。アイドリング電流値が0.4Aであるので、出力2.6WまではA級、それ以上ではAB級動作である。出力10W以上における歪率は若干のうねりを伴いながら、MOS-FET独特の非線形性によって、出力の増大とともに増していく。

最大出力は40Wである。歪率は0.02%以下(1kHz)であり、まったく問題ない低さである。

図17にダンピングファクターを示す。電流注入法で測定した。およそ160前後の比較的高い値になっている。これは出力部を高い合成 g_m 構成としたことによる。Rchのダンピングファクターが若干低いのは、Rchのスピーカー出力まわりの配線がやや長いこ



〔図18〕 アイドリング電流と出力オフセット測定例

とによるものと思われる。

図18にアイドリング電流と出力オフセットの電源オン後の時間推移例を示す。調整直後の測定結果である。ほぼ30分程度で安定する。

終わりに

本機は、ベースとしたインバーテッドダーリントン回路自体が100%電圧帰還(局部帰還)を含んでいるとも解釈できるので、終段無帰還パワーアンプとは言いがたい。電圧帰還量を変えれば、終段に電圧ゲインを持たせることも可能である。ただ、アンプ回路全

体でオーバーオール電圧帰還を設けていない。電圧ゲイン0dBパワーアンプの延長線上には位置する。

本機の音質は、終段にMOS-FETを使用したにもかかわらず、従来のMOS-FETパワーアンプの音質とは若干異なり、バイポーラトランジスタを用いたパワーアンプの音質に近い。中低域が締まり、派手さの薄い高域を伴ったナチュラルな音質であると感じた。刺激的な音が出ないので、時として凡庸な音色と評されるかもしれないが、総じて、よい仕上がりである。

本稿のカレントミラー回路を用いた対称動作型SEPPパワーアンプは以前から腹案として考えていたものであるが、実際にパワーアンプ完成品として製作したのは今回が最初である。製作を躊躇していたのは、カレントミラー回路がSEPP片側のみにあるので回路として美しくないからであった。しかし、MOS-FETパワーアンプへやや強引気味に適用してみると、数値上、その対称動作のきれいさには驚くべきものがある。



ケースカバーを外した内部のようす。中央に電源トランス、電解コンデンサー、左右に出力段Trを取り付けた大型放熱器を配置。背面には、左より入力端子、出力端子、ヒューズホルダー、ACインレット